

30.05.2005

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年11月25日

出願番号
Application Number: 特願2004-341231

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

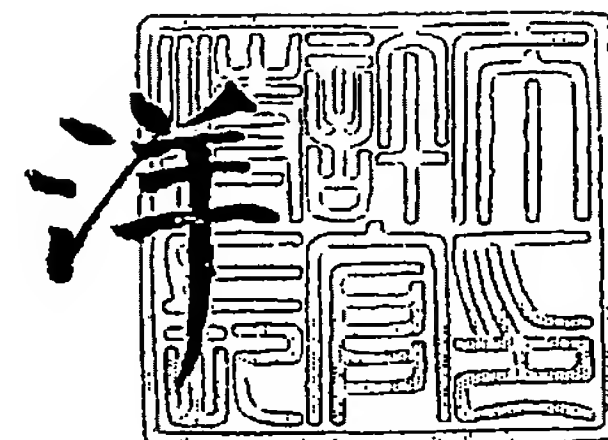
JP2004-341231

出願人
Applicant(s): 株式会社村田製作所

2005年 6月30日

特許庁長官
Commissioner,
Japan Patent Office

小川



BEST AVAILABLE COPY

出証番号 出証特2005-3056236

【書類名】 特許願
【整理番号】 M340719
【あて先】 特許庁長官 小川 洋 殿
【国際特許分類】 H05K 3/46
B32B 18/00

【発明者】
【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
【氏名】 築澤 孝之

【発明者】
【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
【氏名】 池田 哲也

【発明者】
【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内
【氏名】 近川 修

【特許出願人】
【識別番号】 000006231
【氏名又は名称】 株式会社村田製作所
【代表者】 村田 泰隆

【代理人】
【識別番号】 100096910
【弁理士】
【氏名又は名称】 小原 肇
【電話番号】 045(476)5454

【先の出願に基づく優先権主張】
【出願番号】 特願2004-257788
【出願日】 平成16年 9月 3日

【手数料の表示】
【予納台帳番号】 064828
【納付金額】 16,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0404697

【書類名】 特許請求の範囲**【請求項 1】**

表面電極を有するセラミックグリーン体上に、セラミック焼結体を素体とし且つ端子電極を有するチップ型電子部品を、その端子電極が上記表面電極と接するように、搭載する工程と、

上記セラミックグリーン体の端子電極と上記チップ型電子部品の表面電極とが焼結によって一体化するように、上記チップ型電子部品を搭載した上記セラミックグリーン体を焼成する工程と、

を含むことを特徴とするチップ型電子部品を搭載したセラミック基板の製造方法。

【請求項 2】

上記セラミックグリーン体をセラミックグリーンシートとし、上記チップ型電子部品を搭載したセラミックグリーンシートを、他のセラミックグリーンシートと共に積層してなる未焼成のセラミック積層体を焼成することを特徴とする請求項 1 に記載のチップ型電子部品を搭載したセラミック基板の製造方法。

【請求項 3】

上記未焼成のセラミック積層体の最表層または内層に、上記セラミックグリーンシートの焼結温度では実質的に焼結しない難焼結性粉末を主成分とする拘束層を付与する工程を含むことを特徴とする請求項 2 に記載のチップ型電子部品を搭載したセラミック基板の製造方法。

【請求項 4】

上記拘束層を、上記難焼結性粉末及び有機バインダを含むシート状の拘束層とすることを特徴とする請求項 3 に記載のチップ型電子部品を搭載したセラミック基板の製造方法。

【請求項 5】

上記未焼成のセラミック積層体の最表層に上記シート状の拘束層を付与し、これを圧着することによって、上記チップ型電子部品を上記セラミックグリーンシートにめり込ませる工程を含むことを特徴とする請求項 4 に記載のチップ型電子部品を搭載したセラミック基板の製造方法。

【請求項 6】

上記拘束層を付与した上記未焼成のセラミック積層体を、0.1～10 MPa の圧力を加えながら焼成することを特徴とする請求項 5 に記載のチップ型電子部品を搭載したセラミック基板の製造方法。

【請求項 7】

上記拘束層を、上記難焼結性粉末の圧粉体からなる拘束層として上記未焼成のセラミック積層体の最表面に形成することを特徴とする請求項 3 に記載のチップ型電子部品を搭載したセラミック基板の製造方法。

【請求項 8】

上記チップ型電子部品を、有機系接着剤を介して上記セラミックグリーン体上に搭載することを特徴とする請求項 1～請求項 7 のいずれか 1 項に記載のチップ型電子部品を搭載したセラミック基板の製造方法。

【請求項 9】

上記セラミックグリーン体を、低温焼結セラミック粉末を主成分とするセラミックグリーンシートとし、上記チップ型電子部品の端子電極及び上記セラミックグリーンシートの表面電極を、それぞれ銀、銅または金を主成分とする電極材料によって形成することを特徴とする請求項 1～請求項 8 のいずれか 1 項に記載のチップ型電子部品を搭載したセラミック基板の製造方法。

【請求項 10】

表面電極を有するセラミック基板上に、セラミック焼結体を素体とし且つ端子電極を有するチップ型電子部品が搭載されており、上記セラミック基板の表面電極と上記チップ型電子部品の端子電極とは、焼結により一体化していることを特徴とするチップ型電子部品を搭載したセラミック基板。

【請求項 11】

表面電極を有するセラミック基板上に、セラミック焼結体を素体とし且つ端子電極を有するチップ型電子部品が搭載されており、上記セラミック基板の表面電極と上記チップ型電子部品の端子電極とは、半田及び導電性接着剤を介さずに、且つ、フィレットレスにて接続されていることを特徴とするチップ型電子部品を搭載したセラミック基板。

【請求項 12】

上記チップ型電子部品は、少なくとも一部が上記セラミック基板の表面に埋め込まれていることを特徴とする請求項 10 または請求項 11 に記載のチップ型電子部品を搭載したセラミック基板。

【請求項 13】

上記セラミック基板は、複数の低温焼結セラミック層を積層してなるセラミック多層基板であり、上記チップ型電子部品の端子電極及び上記セラミック多層基板の表面電極は、それぞれ銀、銅または金を主成分とすることを特徴とする請求項 10～請求項 12 のいずれか 1 項に記載のチップ型電子部品を搭載したセラミック基板。

【書類名】明細書

【発明の名称】チップ型電子部品を搭載したセラミック基板及びその製造方法

【技術分野】

【0001】

本発明は、チップ型電子部品を搭載したセラミック基板及びその製造方法に関し、更に詳しくは、半田や導電性接着剤等の接合材料を用いることなくチップ型電子部品をセラミック基板に搭載することができるチップ型電子部品を搭載したセラミック基板及びその製造方法に関するものである。

【背景技術】

【0002】

セラミック基板に電子部品を実装する場合には、通常、例えば特許文献1において提案されているように、焼成済みのセラミック基板の表面電極部に溶ダーペーストを塗布し、この表面電極部上に電子部品をマウンターによって搭載した後、電子部品が搭載されたセラミック基板にリフロー処理を施すことによって、電子部品を、半田を介してセラミック基板上に接合、固定している。

【0003】

【特許文献1】特開昭61-263297号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、従来のセラミック基板の製造方法の場合には、セラミック基板上に電子部品を実装する際に半田を使用するため、電子部品を含めたセラミック基板の高さが半田の塗布量だけ高くなり、電子部品の低背化を進める上において好ましくない。また、電子部品をセラミック基板内に埋めこんで低背化を促進することも考えられるが、セラミック基板にキャビティを設ける必要があった。

【0005】

また、半田実装の前提条件としてセラミック基板にメッキ処理を施す必要があるが、メッキ処理に伴うコストが高くなり、しかも電極成分やセラミック成分の一部がメッキ浴中に溶出し、電極強度や基板強度を低下させる虞があった。

【0006】

また、セラミック基板は焼成により収縮するため、溶ダーペーストを塗布する際に使用するマスクを、収縮率のバラツキに合わせて複数用意する必要があった。更に、マスクとセラミック基板とのズレ、ペースト塗布量のバラツキなどから部品間のピッチが制限され、延いては基板設計ルールが制限されて、基板の小型化を阻害する一因にもなっている。また、電子部品の実装時等のリフロー処理で半田が爆ぜて狭ピッチ部分でショートパスする虞もあった。この原因としては、電子部品の外部端子電極、基板の表面電極の双方とも焼結処理により形成されているため、それぞれの電極内には微小な空隙が残り、電極の湿式メッキ処理時などに空隙内に水分が捕捉され、この水分がリフロー処理時の熱で気化、膨張することによると考えられる。その他、半田実装には半田フラッシュなどの問題もあった。

【0007】

更に、電子部品の実装時の他の問題点として、基板の平滑性に対する要求がある。近年、電子部品の低背化と共に基板厚を薄くする要求が高くなっているが、一般的に基板は薄くなるほど焼成時に反りやうねりが大きくなる傾向がある。基板の反りやうねりが大きいと、電子部品を実装する際に基板に割れが生じる場合があり、基板が薄くなるほどその傾向が高くなる。

【0008】

本発明は、上記課題を解決するためになされたもので、半田や導電性接着剤等の接合材料を使用することなく、チップ型電子部品をセラミック基板上に確実に実装することができ、高密度実装を実現することができるチップ型電子部品を搭載したセラミック基板及び

その製造方法を提供することを目的としている。

【課題を解決するための手段】

【0009】

本発明の請求項1に記載のチップ型電子部品を搭載したセラミック基板の製造方法は、表面電極を有するセラミックグリーン体上に、セラミック焼結体を素体とし且つ端子電極を有するチップ型電子部品を、その端子電極が上記表面電極と接するように、搭載する工程と、上記セラミックグリーン体の端子電極と上記チップ型電子部品の表面電極とが焼結によって一体化するように、上記チップ型電子部品を搭載した上記セラミックグリーン体を焼成する工程と、を含むことを特徴とするものである。

【0010】

また、本発明の請求項2に記載のチップ型電子部品を搭載したセラミック基板の製造方法は、請求項1に記載の発明において、上記セラミックグリーン体をセラミックグリーンシートとし、上記チップ型電子部品を搭載したセラミックグリーンシートを、他のセラミックグリーンシートと共に積層してなる未焼成のセラミック積層体を焼成することを特徴とするものである。

【0011】

また、本発明の請求項3に記載のチップ型電子部品を搭載したセラミック基板の製造方法は、請求項2に記載の発明において、上記未焼成のセラミック積層体の最表層または内層に、上記セラミックグリーンシートの焼結温度では実質的に焼結しない難焼結性粉末を主成分とする拘束層を付与する工程を含むことを特徴とするものである。

【0012】

また、本発明の請求項4に記載のチップ型電子部品を搭載したセラミック基板の製造方法は、請求項3に記載の発明において、上記拘束層を、上記難焼結性粉末及び有機バインダを含むシート状の拘束層とすることを特徴とするものである。

【0013】

また、本発明の請求項5に記載のチップ型電子部品を搭載したセラミック基板の製造方法は、請求項4に記載の発明において、上記未焼成のセラミック積層体の最表層に上記シート状の拘束層を付与し、これを圧着することによって、上記チップ型電子部品の少なくとも一部を上記セラミックグリーンシートに埋め込む工程を含むことを特徴とするものである。

【0014】

また、本発明の請求項6に記載のチップ型電子部品を搭載したセラミック基板の製造方法は、請求項5に記載の発明において、上記拘束層を付与した上記未焼成のセラミック積層体を、0.1～10MPaの圧力を加えながら焼成することを特徴とするものである。

【0015】

また、本発明の請求項7に記載のチップ型電子部品を搭載したセラミック基板の製造方法は、請求項3に記載の発明において、上記拘束層を、上記難焼結性粉末の圧粉体からなる拘束層として上記未焼成のセラミック積層体の最表面に形成することを特徴とするものである。

【0016】

また、本発明の請求項8に記載のチップ型電子部品を搭載したセラミック基板の製造方法は、請求項1～請求項7のいずれか1項に記載の発明において、上記チップ型電子部品を、有機系接着剤を介して上記セラミックグリーン体上に搭載することを特徴とするものである。

【0017】

また、本発明の請求項9に記載のチップ型電子部品を搭載したセラミック基板の製造方法は、請求項1～請求項8のいずれか1項に記載の発明において、上記セラミックグリーン体を、低温焼結セラミック粉末を主成分とするセラミックグリーンシートとし、上記チップ型電子部品の端子電極及び上記セラミックグリーンシートの表面電極を、それぞれ銀、銅または金を主成分とする電極材料によって形成することを特徴とするものである。

【0018】

また、本発明の請求項10に記載のチップ型電子部品を搭載したセラミック基板は、表面電極を有するセラミック基板上に、セラミック焼結体を素体とし且つ端子電極を有するチップ型電子部品が搭載されており、上記セラミック基板の表面電極と上記チップ型電子部品の端子電極とは、焼結により一体化していることを特徴とするものである。

【0019】

また、本発明の請求項11に記載のチップ型電子部品を搭載したセラミック基板は、表面電極を有するセラミック基板上に、セラミック焼結体を素体とし且つ端子電極を有するチップ型電子部品が搭載されており、上記セラミック基板の表面電極と上記チップ型電子部品の端子電極とは、半田及び導電性接着剤を介さずに、且つ、フィレットレスにて接続されていることを特徴とするものである。

【0020】

また、本発明の請求項12に記載のチップ型電子部品を搭載したセラミック基板は、請求項10または請求項11に記載の発明において、上記チップ型電子部品は、少なくとも一部が上記セラミック基板の表面に埋め込まれていることを特徴とするものである。

【0021】

また、本発明の請求項13に記載のチップ型電子部品を搭載したセラミック基板は、請求項10～請求項12のいずれか1項に記載の発明において、上記セラミック基板は、複数の低温焼結セラミック層を積層してなるセラミック多層基板であり、上記チップ型電子部品の端子電極及び上記セラミック多層基板の表面電極は、それぞれ銀、銅または金を主成分とすることを特徴とするものである。

【発明の効果】

【0022】

本発明の請求項1～請求項13に記載の発明によれば、半田や導電性接着剤等の接合材料を使用することなく、チップ型電子部品をセラミック基板上に確実に実装することができ、高密度実装を実現することができるチップ型電子部品を搭載したセラミック基板及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0023】

以下、図1～図12に示す実施形態に基づいて本発明を説明する。尚、図1の(a)、(b)はそれぞれ本発明のチップ型電子部品を搭載したセラミック基板の一実施形態の要部を拡大して示す断面図で、(a)はその断面図、(b)は焼成前の同一部分を示す断面図、図2の(a)～(e)はそれぞれ図1に示すチップ型電子部品を搭載したセラミック基板の製造方法の一実施形態を工程順に示す工程図、図3の(a)～(c)はそれぞれ図2に示す工程図の続きを示す工程図、図4は本発明のチップ型電子部品を搭載したセラミック基板の他の実施形態を示す断面図、図5は本発明のチップ型電子部品を搭載したセラミック基板の製造方法の他の実施形態を示す図で、図3の(a)に相当する図、図6の(a)～(c)はそれぞれ本発明のチップ型電子部品を搭載したセラミック基板の製造方法の他の実施形態を工程順に示す工程図、図7～図11はそれぞれ本発明のチップ型電子部品を搭載したセラミック基板の製造方法の更に他の実施形態の要部を示す工程図、図12は本発明のチップ型電子部品を搭載したセラミック基板の更に他の実施形態の要部を示す断面図である。

【0024】

本実施形態のチップ型電子部品を搭載したセラミック基板（以下、単に「チップ実装型基板」と称す。）10は、例えば図1の(a)に示すように、セラミック基板11と、このセラミック基板11上に搭載されたチップ型電子部品12と、を備え、後述するようにセラミック基板11の表面電極とチップ型電子部品12の外部端子電極が半田や導電性接着剤を介することなく、実施的なフィレットレスにて接続されている点に特徴がある。

【0025】

セラミック基板11は、図1の(a)に示すように、複数のセラミック層11Aが積層

された積層体と、この積層体に所定のパターンで形成された配線パターン11Bと、を有するセラミック多層基板として形成されている。セラミック基板11は、セラミック多層基板であっても、単層のセラミック層からなるセラミック基板であっても良い。そこで、以下では、セラミック基板11をセラミック多層基板11としても説明する。セラミック多層基板11の配線パターン11Bは、所定のセラミック層11Aに所定のパターンで形成された面内導体11Cと、上下の面内導体11Cを電氣的に接続するビア導体11Dとを有している。そして、セラミック多層基板11の両主面（上下の表面）に形成された面内導体11Cがセラミック基板11の表面電極となる。従って、以下では、セラミック多層基板11の上下両面の面内導体11Cを表面電極11Cとして説明する。

【0026】

セラミック層11Aを形成するセラミック材料としては低温焼結セラミック（LTCC：Low Temperature Co-fired Ceramic）材料が好ましく用いられる。低温焼結セラミック材料とは、1050℃以下の温度で焼成することができるセラミック材料のことを云う。低温焼結セラミック材料としては、例えば、アルミナやフォルステライト、コーゼライト等のセラミック粉末にホウ珪酸系ガラスを混合したガラス複合系材料、 $ZnO-MgO-Al_2O_3-SiO_2$ 系の結晶化ガラスを用いた結晶化ガラス系材料、 $BaO-Al_2O_3-SiO_2$ 系セラミック粉末や $Al_2O_3-CaO-SiO_2-MgO-B_2O_3$ 系セラミック粉末等を用いた非ガラス系材料等を挙げることができる。セラミック多層基板11に低温焼結セラミック材料を用いることによって、面内導体11C、ビア導体11Dに対して銀（Ag）、銅（Cu）、金（Au）等の低抵抗で低融点をもつ金属を用いることができ、セラミック層と低温で共焼結して一体化することができる。

【0027】

チップ型電子部品12としては、セラミック多層基板11の焼成温度ではその特性が劣化しない、例えば積層セラミックコンデンサやインダクタ、フィルタ、バラン、カップラ等を用いることができ、これらのチップ型電子部品を単品で、あるいは複数組み合わせる用いることができる。

【0028】

図1の（a）に示すチップ型電子部品12は、積層セラミックコンデンサとして形成されている。このチップ型電子部品12は、同図に示すように、複数の誘電体セラミック層12Aが積層された積層体と、この積層体の左右両端面から上下の誘電体セラミック層12A間に位置させてそれぞれの対向端面に向けて互い違いに延設された複数の内部電極層12B、12Cと、これらの内部電極層12B、12Cの端面に接続され且つ積層体の両端面を被覆する左右一対の外部端子電極12D、12Eと、を有している。誘電体セラミック材料としては、例えばチタン酸バリウム系材料等、従来公知の誘電体セラミック材料を用いることができる。即ち、チップ型電子部品12の素体は、セラミック多層基板11の焼成温度では実質的に特性変動を起こさないようなセラミック焼結体で形成されている。また、内部電極12B、12C及び外部端子電極12D、12Eとしては、例えばセラミック多層基板11の配線パターン11Bと同種または異種の導電性金属材料を用いることができる。

【0029】

而して、セラミック多層基板11の表面電極11Cと、チップ型電子部品12の外部端子電極12D、12Eとは、図1の（a）に示すように、焼結によりそれぞれのAg、CuまたはAu等の金属粒子が焼成時に粒成長して互いに一体化し、表面電極11Cと外部端子電極12D、12E間に界面を形成することなく互いに強固に接続されている。つまり、セラミック多層基板11の表面電極11Cと、チップ型電子部品12の外部端子電極12D、12Eとは、半田や導電性接着剤を介することなく、フィレットレスにて接続されている。

【0030】

図1の（a）に示すチップ実装型基板10の製造方法についての詳細は後述するが、チップ実装型基板10は、概ね以下のようにして製造することができる。即ち、図1の（b

に示すように、表面電極となる面内導体部111Cを有するセラミックグリーン体111上に、左右一対の外部端子電極となる外部端子電極部112D、112Eを有するセラミック焼結体112を、それぞれの面内導体部111Cと外部端子電極部112D、112Eを位置合わせし、有機系接着剤層113を介して接合、固定した後、所定温度で焼成することによってチップ実装型基板10が得られる。この焼成によって、上述のようにセラミック多層基板11の表面電極11Cとチップ型電子部品12の外部端子電極12D、12Eが一体化し、確実に接続される。この際、セラミック焼結体112の外部端子電極部112D、112Eとしては、未焼成のものであっても、焼成済みのものであっても良く、その表面にメッキ膜が形成される必要は特にない。セラミックグリーン体は、セラミックグリーンシート単体であっても、同図の(b)に示すように、複数枚のセラミックグリーンシート111Aが積層された積層体であっても良い。また、セラミックグリーン体には面内導体部やビア導体部からなる配線パターン部が形成されたものであっても、配線パターン部が形成されていなくても良い。

【0031】

本実施形態では、無収縮工法によってチップ実装型基板を作製する。無収縮工法とは、セラミック基板の焼成前後でセラミック基板の平面方向の寸法が実質的に変化しない工法のことを云う。無収縮工法を実現するために本実施形態ではセラミックグリーンシートの面方向の収縮を抑制し、主としてセラミックグリーンシートの積層方向(上下方向)の収縮を促進する拘束層を用意し、セラミックグリーンシートの積層体のいずれか一方の主面(上面及び/または下面)に拘束層を配置し、あるいはセラミックグリーンシートの積層体の内部に拘束層を介在させてチップ実装型基板を作製する。

【実施例】

【0032】

以下、無収縮工法を用いた具体的な実施例に基づいて本発明のチップ実装型基板の製造方法について説明する。

【0033】

実施例1

本実施例ではまず、例えば低温焼結セラミック材料を含むスラリーを用いて、図2の(a)に示すようにセラミックグリーンシート111Aを所定枚数作製した後、一枚のセラミックグリーンシート111Aに所定のパターンでビアホールを形成した。これらのビアホール内に例えばAg、CuあるいはAu等を主成分とする導電性ペーストを充填してビア導体部111Dを形成した。更に、スクリーン印刷法を用いて同種の導電性ペーストをセラミックグリーンシート111A上に所定のパターンで塗布して、表面電極となる面内導体部111Cを形成し、面内導体部111Cとビア導体部111Dとを適宜接続した。また、他のセラミックグリーンシート111Aについても同様の手法でそれぞれのパターンで面内導体部111C及びビア導体部111Dを形成した。以下では、最上層に位置するセラミックグリーンシート111Aの上面に位置する面内導体部111Cを表面電極部111Cとして説明する。

【0034】

次いで、スプレー等を用いて図2の(a)に示すセラミックグリーンシート111Aの表面電極部111C側の面(上面)に有機系接着剤を塗布して有機系接着剤層113(図1の(b)参照)を形成した。引き続き、図2の(b)に示すようにセラミックグリーンシート111の表面電極部111Cに、予め作製されたセラミック焼結体112の外部端子電極部112D、112Eを位置合わせし、図2の(c)に示すようにセラミック焼結体112を素体としてセラミックグリーンシート111A上に搭載し、有機系接着剤層を介して接合、固定した。これによってセラミック焼結体112が搭載されたセラミックグリーンシート111Aを得た。セラミック焼結体112としては、例えばチタン酸バリウム系の積層セラミックコンデンサを用いた。セラミック焼結体112としては、例えば1mm×0.5mm×0.2mmの大きさで、容量規格が80pFのものを用いた。以下の実施例においてもチップ型電子部品のセラミック焼結体112として同様の積層セラミック

コンデンサを用いた。

【0035】

その後、面内導体部 111C 及びビア導体部 111D を有する他のセラミックグリーンシート 111A を所定の順序で積層すると共に、最上層にセラミック焼結体 112 が搭載されたセラミックグリーンシート 111A を積層して、図 2 の (d) に示す未焼成のセラミック積層体 111 を得た。同図に (e) に示すように、セラミック積層体 111 の両主面 (上下両面) に拘束層 114 を対向させた。この拘束層 114 としては、セラミック積層体 111 の焼結温度では焼結しない難焼結性粉末 (例えば Al_2O_3 等のように焼結温度の高いセラミック粉末)、具体的には Al_2O_3 を主成分として含むと共に有機バインダを副成分として含むスラリーから同図の (e) に示すようにシート状に形成されたものを用いた。

【0036】

次いで、未焼成のセラミック積層体 111 を上下の拘束層 114 を介して所定の圧力及び温度で圧着して図 3 の (a) に示す未焼成の複合積層体 120 を得た。上下の拘束層 114、114 の間には未焼成のチップ実装型基板 110 が形成されている。この圧着操作によってセラミック焼結体 112 の少なくとも一部が最上層のセラミックグリーンシート 111A 内に埋め込まれ、未焼成の複合積層体 120 が低背化する。圧着時の圧力は、例えば 1~250 MPa の範囲が好ましい。圧力が 1 MPa 未満ではセラミックグリーンシート 111A の表面電極部 111C とセラミック焼結体 112 の外部端子電極部 112D、112E との圧着が不十分で接合不良を起こす虞があり、また、250 MPa を超えるといずれかの面内導体部 111C 及びビア導体部 111D が切断する虞がある。また、最上層のセラミックグリーンシート 111A は、他のセラミックグリーンシートよりも厚いことが好ましい。体積排除効果によって他のセラミックグリーンシートに設けられた配線パターンが変形するのを防ぐためである。あるいは最上層のセラミックグリーンシート 111A と他のセラミックグリーンシートの上に、コンデンサやインダクタのような機能素子を構成する配線パターンを有しない緩衝用セラミックグリーンシートを配しても良い。

【0037】

然る後、未焼成の複合積層体 120 を 870℃ で焼成して、図 3 の (b) に示す焼結体 120' を得た。この焼成によって、未焼成のチップ実装型基板 110 が焼結してセラミック多層基板 11 とチップ型電子部品 12 とからなるチップ実装型基板 10 が上下の拘束層 114 間で得られる。そして、未焼成のセラミック積層体 111 の表面電極部 111C とセラミック焼結体 112 の外部端子電極部 112D、112E は、それぞれの金属粒子が粒成長して一体化し、確実に接続される。焼成温度としては、低温焼結セラミック材料が焼結する温度、例えば 800~1050℃ の範囲が好ましい。焼成温度が 800℃ 未満ではセラミック積層体 110 が十分に焼結しない虞があり、1050℃ を超えると各電極部 111C、112D、112E の金属粒子が熔融してセラミック層へ拡散する虞がある。

【0038】

焼成後には、ブラスト処理や超音波洗浄処理によって拘束層 114 を除去して、図 3 の (c) に示すチップ実装型基板 10 を得た。そして、チップ型電子部品 12 のセラミック多層基板 12 への固着力をチップ横押し試験によって測定した結果、3 N 以上の値が得られた。また、チップ型電子部品 (積層セラミックコンデンサ) 12 の容量を測定した結果、焼成前と同等の部品規格内の容量値が得られた。

【0039】

以上説明したように実施例によれば、半田や導電性接着剤を介することなく、フィレットレスで、セラミック多層基板 11 の表面電極 11C とチップ型電子部品 12 の外部端子電極 12D、12E とが焼結して一体化して接続されたチップ実装型基板 10 を得ることができる。しかもチップ型電子部品 12 がセラミック多層基板 11 の内部に部分的に埋め込まれ、低背化したチップ実装型基板 10 を得ることができる。更に、半田を使用しないため、セラミック多層基板 11 の表面電極 11C やチップ型電子部品 12 の外部端子電極

12D、12Eに対するメッキ処理が不要になり、製造コストを低減することができる。また、本実施例では、拘束層114で未焼成のセラミック積層体110を拘束した状態で焼成したため、未焼成のセラミック積層体110の横方向の収縮を格段に抑制すると共に主として積層方向（上下方向）に収縮するため、焼成前後で寸法が変化しないチップ型電子部品と同時に焼成してもチップ型電子部品に割れや欠けを生じさせることがなく、延いては焼成前後の寸法のバラツキを格段に抑制して寸法精度の高いチップ実装型基板10を得ることができる。

【0040】

実施例2

本実施例では、図3の（a）に示す未焼成の複合積層体120を表1に示す範囲で加圧力を振って加圧焼成した以外は実施例1と同一要領でチップ実装型基板10を作製した。

【0041】

即ち、本実施例では、表1に示すように0～15MPaの範囲で加圧力を振って、未焼成の複合積層体120の加圧焼成を行い、加圧力とチップ型電子部品12のセラミック多層基板11との接合強度及びセラミック多層基板11への埋め込み量を検証した。埋め込み量と接合強度を検証する方法としてチップの横押し試験を行った。横押し試験では、チップ型電子部品12の両外部端子電極12D、12Eを結ぶ線と直交する方向の側面に荷重治具（先端径：0.3mm、材質：焼入れ鋼（硬さHB183））を接触させ、0.5±0.1mm/秒の荷重速度で荷重をかけ、部品が取れる時の荷重を測定した。また、埋め込み量を検証する方法としてチップ実装型基板10を切断研磨し、チップ型電子部品12の底面からセラミック多層基板11の上面までの高さを差し引いた長さを埋め込み量として求めた。また、参考例として半田実装についても同様の試験を行い、その結果を表1に示した。尚、表1の横押し試験において、測定不可とは横押し試験の荷重ではチップ型電子部品12がセラミック多層基板11から取れず強固に接合していることを示している。

【0042】

【表1】

焼成時の加圧圧力 [MPa]	基板埋め込み量 [μm]	横押し試験 [N]
0	0	3
0.05	-10	3
0.1	-30	10
0.5	-150	43
1	-200	測定不可
2	-200	測定不可
5	-200	測定不可
15	基板クラック発生	—
半田実装	100	3

【0043】

表1に示す結果によれば、加圧力が0.1MPa未満では横押し試験の結果が半田実装の場合と変わらず、また、加圧力が10MPaを超える15MPaではセラミック多層基板11にクラックが発生することが判った。従って、0.1～10MPaの範囲の加圧力が、チップ型電子部品12がセラミック多層基板11に対して強固に接続され、しかもチップ実装型基板10を低背化する上で好ましいことが判った。特に、加圧力が1MPa以上になるとチップ型電子部品12がセラミック多層基板11内に完全に埋め込まれ、チップ型電子部品12の上面がセラミック多層基板11の上面と揃って平坦になり、突出部のない低背化を実現できることが判った。その他、実施例1と同様の作用効果を期することができる。

【0044】

実施例3

本実施例では、拘束層を未焼成のセラミック積層体の上下両面に設ける代わりに、未焼成のセラミック積層体の内部に設けてセラミック多層基板内に残した以外は、実施例 1 と同一要領でチップ実装型基板を作製した。尚、本実施例においても実施例 1 と同一部分または相当部分には同一符号を附して説明する。

【0045】

本実施例のチップ実装型基板 10A は、例えば図 4 に示すように、セラミック多層基板 11 の積層構造以外は実施例 1 と同様に構成されている。本実施例におけるセラミック多層基板 11 は、同図に示すように、複数のセラミック層 11A と複数の拘束層 11E とが交互に積層された積層体として構成されている。拘束層 11E は実施例 1 の拘束層 114 と同一の材料によってシート状に形成されている。そして、拘束層 11E は上下のセラミック層 11A 間に配置されている。

【0046】

次に、本実施例のチップ実装型基板 10A の製造方法の特徴部分について説明する。本実施例では、実施例 1 と同一要領でセラミックグリーンシートを作製した後、実施例 1 と同様の Al_2O_3 を主成分として含むと共に有機バインダを副成分として含むスラリーをセラミックグリーンシート上に塗布して形成し、セラミックグリーンシートと拘束層からなる複合シートを所定枚数作製する。複合シートにおける、セラミックグリーンシートの厚さは、拘束層の厚さよりも大きく、例えば拘束層の厚さの 5 ～ 20 倍の厚さの範囲に設定することが好ましい。

【0047】

次いで、一枚の複合シートに所定のパターンでビアホールを形成した後、これらのビアホール内に例えば Ag、Cu あるいは Au 等を主成分とする導電性ペーストを充填してビア導体部を形成した。更に、スクリーン印刷法を用いて同種の導電性ペーストを複合シートのセラミックグリーンシート側の表面上に所定のパターンで塗布して表面電極を形成し、表面電極部とビア導体部とを適宜接続した。また、他の複合シートについても必要に応じて同様の手法でそれぞれのパターンで面内導体部及びビア導体部を形成した。そして、実施例 1 と同様に最上層となる複合シート上にセラミック焼結体を素体として搭載し、有機系接着剤層を介して固定した。

【0048】

次いで、面内導体部及びビア導体部を有するセラミックグリーンシートを最下層とし、その上に他の複合シートを所定の順序で、セラミックグリーンシートと拘束層とが接触するように積層すると共に、最上層にセラミック焼結体が搭載された複合シートを積層して未焼成のセラミック積層体を得た。この未焼成のセラミック積層体は、図 4 に示すチップ実装型基板 10A と同一の層構成を有している。このセラミック積層体を実施例 1 と同一要領で圧着し、焼成することによって図 4 に示すチップ実装型基板 10A を得た。

【0049】

本実施例では、セラミックグリーンシートの焼成温度では未焼成のセラミック積層体の内部に存在する拘束層の難焼結性粉末（具体的には、 Al_2O_3 ）は焼結しないが、セラミックグリーンシートのガラス成分が熔融して流動し、拘束層を形成する Al_2O_3 粉末の全領域に拡散する結果、冷却後のガラス成分によって拘束層 11E の Al_2O_3 粉末を固着、一体化すると共に拘束層 11E とセラミック層 11A とを強固に接合し、セラミック多層基板 11 として一体化する。この際、拘束層が実施例 1 の場合と同様に未焼成のセラミック積層体の面方向の収縮（横収縮）を抑制して焼成前後で寸法差が殆どないセラミック多層基板 11 を得ることができる。セラミックグリーンシートは全て実質的に同一厚さに形成されていると、セラミック多層基板 11 の反りを防止することができる。

【0050】

以上説明したように本実施例によれば、焼成による横収縮や寸法のバラツキを抑制することができるため、寸法精度に優れ、しかも反りのないチップ実装型基板 10A を得ることができる。従って、本実施例の製造方法によれば、チップ実装基板が大型になるほど寸法精度が良く、反りを格段に抑制したチップ実装基板を作製することができる。また、本

実施例においても、実施例 2 と同様に加圧焼成することにより、チップ型電子部品 12 をセラミック多層基板 11 により強固に固定することができる。

【0051】

実施例 4

本実施例では、実施例 1 における拘束層として圧粉体を用いた以外は実施例 1 と同一要領でチップ実装型基板を作製した。ここで圧粉体とは、例えばセラミック粉末を粉末状の有機バインダと共に混合し、粉末状のまま所定の圧力で加圧して固めたものを云う。尚、本実施例においても実施例 1 と同一部分または相当部分には同一符号を附して説明する。

【0052】

本実施例では、まず、実施例 1 と同一要領で未焼成のセラミック積層体 111 (図 5 参照) を作製した。次いで、このセラミック積層体 111 の上下両面に圧粉体 114A を付与した後、実施例 1 と同一要領で未焼成のセラミック積層体 111 を上下の圧粉体 114A を介して所定の圧力及び温度で圧着して図 5 に示す複合積層体 120B を得た。本実施例では、実施例 1 におけるシート状の拘束層と異なり、セラミック粉末が粉体状のままであるため、圧粉体 114A がセラミック積層体 11 の上面に押圧すると、圧粉体 114A を形成するセラミック粉末が流動してセラミック焼結体 112 の上面と最上層のセラミックグリーンシート 111A との段差部分に流れ込んで段差部分をセラミック粉末で埋める。このため、セラミック焼結体 112 の間隔が狭い場合、例えばシート状のものでは回り込めないような隙間にもセラミック粉末が入り込むことが可能となり、圧粉体 114A でセラミック積層体 111 の上下両面を覆うことができる。

【0053】

上記複合積層体 120B を実施例 1 と同一要領で焼成した後、圧粉体 114A を除去してチップ実装型基板 (図示せず) を得た。この焼成により、セラミック多層基板の表面電極とチップ型電子部品の外部端子電極は、実施例 1 の場合と同様に一体化して強固に接続され、実施例 1 の場合と同様の作用効果が得られた。

【0054】

また、上記各実施例では、セラミック焼結体をセラミックグリーンシートに接合した後、セラミックグリーンシートを所定の順序で積層して未焼成のセラミック積層体を作製する場合について説明したが、予め所定枚数のセラミックグリーンシートを積層して未焼成のセラミック積層体を作製した後、このセラミック積層体上にセラミック焼結体を素体として搭載しても良い。

【0055】

実施例 5

本実施例では、チップ型電子部品の外部端子電極を接続するビア導体を、拘束層を介して形成する以外は、実施例 1 と同一要領でチップ実装型基板を作製した。尚、本実施例においても実施例 1 と同一部分または相当部分には同一符号を附して説明する。

【0056】

本実施例のチップ実装型基板 10C は、例えば図 6 の (c) に示すように、チップ型電子部品 12 の外部端子電極 12D、12E がセラミック多層基板 11 の上面に突出して形成されたビア導体 11D、11D に直接されている以外は、実施例 1 と同様に構成されている。このビア導体 11D は、同図の (a)、(b) に示すように、拘束層 114B を介して形成されている。

【0057】

そこで、本実施例のチップ実装型基板 10C の製造方法の特徴部分について説明する。本実施例では、実施例 1 と同様に未焼成のセラミック積層体 111 の上下に配置する拘束層 114、114 を用意する他、図 6 の (a)、(b) に示すようにセラミック焼結体 112 の外部端子電極 112D、112E を接続するためのビア導体部 111D を有するビア形成用拘束層 114B を用意する。このビア形成用拘束層 114B を作製する場合には、実施例 1 と同様の A12O3 を主成分として含むと共に有機バインダを副成分として含むスラリーを用いてシート状の拘束層を形成した後、実施例 1 においてセラミックグリー

ンシートにビア導体部を形成する要領で、この拘束層に所定のパターンでビアホールを形成し、このビアホール内に導電性ペーストを充填して同図の (a)、(b) に示すようにビア導体部 111D を形成することによってビア形成用拘束層 114B を作製することができる。また、実施例 1 と同一要領で、面内導体部 111C 及びビア導体部 111D を有するセラミックグリーンシート 111A を所定枚数作製した。

【0058】

次いで、図 6 の (a) に示すように、セラミックグリーンシート 111A を所定の順序で積層し、未焼成のセラミック積層体 111 を拘束層 114 上で形成した後、この未焼成のセラミック積層体 111 の上面にビア形成用拘束層 114B を積層した。このビア形成用拘束層 114B の上面に実施例 1 と同一要領で有機系接着剤層を形成した後、ビア形成用拘束層 114B のビア導体部 111D、111D とチップ型電子部品となるセラミック焼結体 112 の外部端子電極 112D、112E との位置合わせを行い、同図の (a) に矢印で示すようにセラミック焼結体 112 をビア形成用拘束層 114B 上に搭載し、外部端子電極 112D、112E とビア形成用拘束層 114B のビア導体部 111D、111D とを接合し、固定する。この上に拘束層 114 を積層して、同図の (b) に示す未焼成の複合積層体 120C を形成した。この未焼成の複合積層体 120C を実施例 1 と同一要領で圧着し、焼成することによって同図の (c) に示すチップ実装型基板 10C を得た。尚、図 6 の (b) において、110C は未焼成のチップ実装型基板である。

【0059】

105mm□で 0.5mm 厚の本実施例のチップ実装型基板 10C について反りを測定した。また、実施例 1 で得られた同一大きさのチップ実装型基板 10 についても同様に反りを測定した。これらの測定結果を表 2 に示した。

【0060】

【表 2】

	反り量/mm
実施例 1	0.121
実施例 5	0.084

【0061】

表 2 に示す結果によれば、本実施例のチップ実装型基板 10C は実施例 1 のチップ実装型基板 10 と比較して反り量が大幅に抑制されていることが判った。従って、ビア導体 11D を形成する際にチップ型電子部品 12 の直下部もビア形成用拘束層 114B によって収縮を抑制するため、ビア導体 11D をセラミックグリーンシート 111A によって形成する場合よりもセラミック多層基板 11 の反りやうねりを更に抑制することができる。

【0062】

実施例 6

本実施例では、セラミック多層基板の上下両面にチップ型電子部品を実装した以外は、実施例 1 と同一要領でチップ実装型基板を作製した。尚、本実施例においても実施例 1 と同一部分または相当部分には同一符号を附して説明する。

【0063】

本実施例では、実施例 1 と同一要領で実施例 1 と同一要領でセラミックグリーンシート 111A を所定枚数 (図 7 の (a) では 4 枚) 作製した後、図 7 の (a) に示すように、これらのセラミックグリーンシート 111A にはそれぞれ必要に応じて配線パターン 111B として面内導体部 111C 及びビア導体部 111D を形成した。また、拘束層 114 も実施例 1 と同一要領で作製した。次いで、拘束層 114 を配置し、この拘束層 114 の上面に有機系接着剤層を形成した後、この拘束層 114 の上面の所定位置にチップ型電子部品 12 の素体であるセラミック焼結体 112 を複数個搭載して、接合、固定した。

【0064】

一方、4 枚のセラミックグリーンシート 111A を所定の順序で積層して未焼成のセラミック積層体 111 を形成した後、その上面に有機系接着剤層 (図示せず) を形成する。

次いで、未焼成のセラミック積層体 111 上面の面内導体部（表面電極部）111C、111Cとセラミック焼結体 112 の外部端子電極 112D、112E との位置合わせを行った後、複数のセラミック焼結体 112 を、外部端子電極 112C、112E を介して未焼成のセラミック積層体 111 上の表面電極部 111C、111C に接合し、固定する。この未焼成のセラミック積層体 111 の下面には拘束層 114 上に配置された複数のセラミック焼結体 112 の外部端子電極 112D、112E のパターンに対応する表面電極部 111C が形成されている（図 7 の（a）参照）。

【0065】

予め複数のセラミック焼結体 112 が搭載された拘束層 114 の上方で、未焼成のセラミック積層体 111 下面の表面電極部 111C、111C と拘束層 114 上のセラミック焼結体 112 の外部端子電極 112D、112E との位置合わせを行った後、未焼成のセラミック積層体 111 を拘束層 114 上に積層し、更にその上に他の拘束層 114 を積層し、実施例 1 と同様に所定の圧力で拘束層 114 とセラミック積層体 111 を圧着して図 7 の（a）に示す未焼成の複合積層体 120D を得た。この際、未焼成のセラミック積層体 111 の上下両面のセラミック焼結体 112 は、それぞれ未焼成のセラミック焼結体 111 の上下両面から内側に埋め込まれて低背化する。この未焼成の複合積層体 120D を実施例 1 と同一要領で焼成することによって同図の（b）に示すチップ実装型基板 10D を得た。

【0066】

本実施例によれば、セラミック多層基板 11 の上下両面にチップ型電子部品 12 が実装されたチップ実装型基板 10D を得ることができ、実施例 1 と同様にチップ型電子部品 12 の外部端子電極 12D、12E は表面電極部 11C、11C と一体的に焼結し、表面電極部 11C、11C に対して強固に固着され、実施例 1 と同様の作用効果が得られた。

【0067】

実施例 7

本実施例では、拘束層に添加する低温焼結セラミック材料の焼結助材の添加量を変化させ、セラミック層の収縮量を変化させた以外は、実施例 1 と同一要領でチップ実装型基板を作製した。

【0068】

本実施例では X 線探傷法でチップ実装型基板の評価を行い、その結果を表 3 に示した。尚、表 3 において、基板とはセラミック多層基板であり、部品とは積層セラミックコンデンサである。

【0069】

【表 3】

焼結助材の含有量(重量%)	収縮量(%)	部品への影響	備考
1.7	-5.1	クラック発生	加圧焼成
1.6	-5.0	問題なし	加圧焼成
1.4	-4.0	問題なし	加圧焼成
1.3	-3.0	問題なし	加圧焼成
1.2	-2.0	問題なし	加圧焼成
1.0	-1.0	問題なし	加圧焼成
0.5	0	問題なし	加圧焼成
0.42	+0.03	問題なし	無加圧焼成
0.38	+0.05	問題なし	無加圧焼成
0.3	+1.0	問題なし	無加圧焼成
0.25	+2.0	問題なし	無加圧焼成
0.2	+3.0	問題なし	無加圧焼成
0.1	+5.0	問題なし	無加圧焼成
0.0	+5.1	基板から剥がれ	無加圧焼成

【0070】

表 3 に示す結果によれば、セラミック層の収縮量が -5 % を超えるとチップ型電子部品

12にクラックが発生し、+5%を超えて大きくなるチップ型電子部品12が基板から剥がれることが判った。換言すれば、低温焼結セラミック材料の収縮量を±5%以内に抑える必要があることが判った。従って、拘束層に添加する低温焼結セラミック材料の焼結助材の添加量は、±5%の範囲内の収縮量を示す範囲(0.1~1.6重量%)に設定することが好ましいことが判った。尚、収縮量は、上述した収縮抑制層の焼結助材(ホウ珪酸ガラス)の添加量その他、収縮抑制層における Al_2O_3 の粒径を変える方法、収縮抑制層の厚みを変える方法など様々な方法でコントロールすることができる。

【0071】

実施例8

本実施例では、チップ型電子部品を実装するためのキャビティを設けること以外は、実施例6と同一要領でチップ実装型基板を作製した。尚、本実施例においても実施例1と同一部分または相当部分には同一符号を附して説明する。

【0072】

本実施例のチップ実装型基板は、図8から推定されるように、チップ型電子部品がセラミック多層基板の上下両面に実装され、しかも下面のチップ型電子部品はキャビティC内に収納されている以外は、実施例7に準じて構成されている。従って、本実施例ではセラミック多層基板の下面のキャビティ内にチップ型電子部品を実装する工程を有する以外は、実施例7と同一要領でチップ実装型基板を作製した。

【0073】

本実施例では、図8に示すように、実施例1と同一要領でセラミックグリーンシート111Aを所定枚数作製し、これらのセラミックグリーンシート111Aに必要な応じて配線パターン111Bとして面内導体部111C及びビア導体部111Dを所定のパターンで形成した。これらのセラミックグリーンシート111Aはいずれも焼成後の厚みが $100\mu m$ のものであった。図8に示すように、一枚のセラミックグリーンシート111Aはセラミック焼結体112を実装するために使用し、他の2枚のセラミックグリーンシートにはそれぞれセラミック焼結体112を収納し得る大きさで大きさの異なる貫通孔H、H1を設け、これらのセラミックグリーンシート111A'、111A"はいずれもキャビティCを形成するために使用した。また、一方の拘束層114Aにはセラミックグリーンシート111A"の貫通孔と同一大きさの貫通孔H1を設けた。

【0074】

次いで、貫通孔のない拘束層114を配置し、この拘束層114の上面に有機系接着剤層を形成した後、この拘束層114の上面の所定の位置にチップ型電子部品の素体であるセラミック焼結体112を搭載して、接合、固定した。この拘束層114上にセラミックグリーンシート111Aの面内導体部111C、111Cと拘束層114上のセラミック焼結体112の外部端子電極112D、112Eとの位置合わせを行った後、セラミックグリーンシート111Aを拘束層114上面に所定の圧力で仮圧着した。

【0075】

然る後、貫通孔H、H1を有する2枚のセラミックグリーンシート111A'、111A"をセラミックグリーンシート111A上に順次積層してキャビティ付きの、未焼成のセラミック積層体111を形成した後、その上に貫通孔H1を有する拘束層114Cを積層し、所定の圧力で本圧着して図8に示す未焼成の複合積層体120Eを得た。尚、図8では上下を反対にして図示してあり、図8ではキャビティはダウンキャビティとして形成されている。この未焼成の複合積層体120Eを $850^{\circ}C$ で焼成することによってダウンキャビティCを有するチップ実装型基板を得た。

【0076】

本実施例によれば、キャビティのように複雑な表面形状を有するセラミック多層基板であっても、上面が平坦なセラミックグリーンシート111Aにセラミック焼結体112を簡単に実装することができる他、実施例1と同様にチップ型電子部品の外部端子電極は表面電極部と一体的に焼結し、表面電極部に対して強固に固着され、実施例1と同様の作用効果が得られた。

【0077】

実施例 9

本実施例では、実施例 3 のチップ実装型基板の上面にキャビティが設けること以外は、実施例 3 と同一要領でチップ実装型基板を作製した。尚、本実施例においても実施例 3 と同一部分または相当部分には同一符号を附して説明する。

【0078】

本実施例では、図 9 の (a) に示すように、実施例 3 と同一要領でセラミックグリーンシート 111A と拘束層 111E とを積層して複合シートを所定枚数 (図 9 の (a) では 5 枚) 作製した。各複合シートそれぞれには必要に応じて配線パターン 111B として面内導体部 111C 及びビア導体部 111D を所定のパターンで形成する。面内導体部 111C はセラミックグリーンシート側に形成した。2 枚の複合シートには同一大きさの貫通孔 H を設け、また、一枚の複合シートには 2 枚の複合シートよりも大きな貫通孔 H1 を設け、これらの複合シートはキャビティ C を形成するために用い、残りの貫通孔を有しない 2 枚の複合シートはキャビティ C の底面を形成する主体層として用いた。また、セラミックグリーンシート 111A を作製し、このセラミックグリーンシート 111A にも配線パターン 111B として面内導体部 111C 及びビア導体部 111D を形成した。

【0079】

次いで、図 9 の (a) に示すように、セラミックグリーンシート 111A 上に 2 枚の複合シートを積層し、仮圧着して主体層を形成した。この主体層上に有機系接着剤層を形成し、キャビティ C の底面となる領域にセラミック焼結体 112 の外部端子電極 112D、112E と表面電極 111C との位置合わせを行った後、セラミック焼結体 112 を外部端子電極 112D、112E を介して表面電極 111C、111C に接合し、固定した。次いで、貫通孔 H を有する 2 枚の複合シート及び貫通孔 H1 を有する一枚の複合シートを順次積層した後、所定の圧力で本圧着して主体層の上面にキャビティ C (同図の (b) 参照) となる開口部を形成し、未焼成のセラミック積層体 111 を作製した。この未焼成のセラミック積層体 111 を 850℃ で焼成することによって、キャビティ C を有するチップ実装型基板 10F (図 9 の (b) 参照) を得た。この焼成によって上下のセラミック層 11A、11A 間に介在する拘束層 11E は、セラミック層 11A から拡散したガラス成分が固化してセラミック多層基板 11 として強固に一体化し、また、チップ型電子部品 12 の外部端子電極 12D、12E とキャビティ C 底面の表面電極 11C、11C は一体的に焼結し、半田等の接合材を介することなく強固に接続されている。

【0080】

本実施例によれば、キャビティ C のように複雑な表面形状を有するセラミック多層基板 11 であっても、上面が平坦な主体層にセラミック焼結体 112 を搭載するだけで、チップ型電子部品 12 を簡単に実装することができると共に、キャビティ C を有するセラミック多層基板 11 の反りやうねりを抑制することができる他、実施例 1 と同様の作用効果が得られた。

【0081】

実施例 10

本実施例では、拘束層を内蔵する未焼成のセラミック積層体の下面に拘束層を配置すること以外は、実施例 3 と同一要領でチップ実装型基板を作製した。尚、本実施例においても実施例 3 と同一部分または相当部分には同一符号を附して説明する。

【0082】

本実施例では、図 10 の (a) に示すように拘束層 114 を作製し、この拘束層 114 の上に、実施例 3 と同一要領で作製された一枚のセラミックグリーンシート 111A 及び 5 枚の複合シートを積層し、未焼成のセラミック積層体 111 と拘束層 114 を所定の圧力で圧着し、この未焼成のセラミック積層体 111 を 850℃ で焼成して、同図の (b) に示すチップ実装型基板 10G を得た。

【0083】

105mm□で 0.5mm 厚の本実施例のチップ実装型基板 10G について反りを測定

した。また、実施例 3 で得られた同一大きさのチップ実装型基板 10A についても同様に反りを測定し、これらの測定結果を表 4 に示した。

【0084】

【表 4】

	反り量/mm
実施例 3	0.154
実施例 10	0.104

【0085】

表 4 に示す結果によれば、本実施例のチップ実装型基板 10G は実施例 3 のチップ実装型基板 10A と比較して更に反りやうねりが小さくなっていることが判った。従って、拘束層 111E を内蔵する未焼成のセラミック積層体の下面に拘束層 114 を設けることによって、反りやうねりを更に抑制することができ、実施例 9 に示すようにセラミック多層基板 11 の上面にキャビティを形成する時にセラミック多層基板 11 の反りやうねりを更に抑制することができることが判った。

【0086】

実施例 11

本実施例では、キャビティに相当する開口部を有する未焼成のセラミック層の下面に拘束層を配置すること以外は、実質的に実施例 9 のチップ実装型基板と同一要領でチップ実装型基板を作製した。尚、本実施例においても実施例 9 と同一部分または相当部分には同一符号を附して説明する。

【0087】

本実施例では、図 11 の (a) に示すように、実施例 9 と同一要領で大きさの異なる貫通孔 H、H1 を有する二種類の複合シートを作製すると共に主体層を形成するセラミックグリーンシート 111A 及び複合シートを作製した。これらのセラミックグリーンシート 111A 及び複合シートはいずれも所定のパターンで形成された配線パターン 111B (面内導体部 111C 及びビア導体部 111D) を有している。更に、本実施例では、実施例 1 と同一要領で拘束層 114 を作製した。

【0088】

次いで、図 11 の (a) に示すように、拘束層 114 の上面に有機系接着剤層を形成した後、この拘束層 114 の所定の位置にセラミック焼結体 112 を搭載し、接合、固定した。この拘束層 114 上のセラミック焼結体 112 の外部端子電極 112D、112E とセラミックグリーンシート 111A 下面の表面電極部 111C、111C との位置合わせを行った後、セラミックグリーンシート 111A 及び 2 枚の複合シートを積層し、仮圧着して主体層を形成した。この主体層の上面に有機系接着剤層を形成した後、キャビティ C (同図の (b) 参照) の底面となる領域内の表面電極 111C、111C とセラミック焼結体 112 の外部端子電極 112D、112E との位置合わせを行った後、セラミック焼結体 112 を主体層の上面に接合し、固定した。次いで、貫通孔 H を有する 2 枚の複合シート及び貫通孔 H1 を有する一枚の複合シートを順次積層した後、所定の圧力で本圧着して主体層の上面にキャビティ C となる開口部を形成し、図 11 の (a) に示す未焼成のセラミック積層体 111 を拘束層 114 上に形成して複合積層体 120H を作製した。この未焼成の複合積層体 120H を 850℃ で焼成した後、拘束層 114 を除去することによって、キャビティ C を有するチップ実装型基板 10H (図 11 の (b) 参照) を得た。この焼成によって上下のセラミック層 11A、11A 間に介在する拘束層 11E は、セラミック層 11A から拡散したガラス成分が固化してセラミック多層基板 11 として強固に一体化し、また、チップ型電子部品 12 の外部端子電極 12D、12E とキャビティ C 底面の表面電極 11C、11C は一体的に焼結し、半田等の接合材を介することなく強固に接続されている。

【0089】

本実施例によれば、キャビティ C のように複雑な表面形状を有するセラミック多層基板

11であっても、上面が平坦な主体層にセラミック焼結体112を搭載するだけで、チップ型電子部品12を簡単に実装することができ、しかもセラミック多層基板11の反りやうねりを抑制することができる他、実施例1と同様の作用効果が得られた。

【0090】

実施例12

本実施例では、チップ型電子部品としての積層セミックコンデンサの外部電極構造を異にする以外は、実施例1のチップ実装型基板10と同様に構成されている。従って、本実施例のチップ実装型基板は、実施例1と同一要領で作製することができるため、以下ではチップ型電子部品の構造についてのみ説明する。尚、本実施例においても実施例9と同一部分または相当部分には同一符号を附して説明する。

【0091】

本実施例に用いられるチップ型電子部品12は、図12に示すように、積層セラミックコンデンサとして構成されている。このチップ型電子部品12は、同図に示すように、複数の誘電体セラミック層12Aが積層された積層体と、上下の誘電体セラミック層12A間に配置され且つ誘電体セラミック層12Aを介して対向する複数の内部電極層12B、12Cと、積層体内の左右端部に配置され且つ複数の内部電極層12B、12Cの端部中央を貫通して接続されたビア導体として形成された左右一対の外部端子電極12D、12Eと、を有している。ビア導体として形成された一方の外部端子電極12Dは、一つ置きに配置された一方の内部電極層12Bの全てに接続され、下端面が積層体の下面に表出している。他方の外部端子電極12Eは、一つ置きに配置された他方の内部電極層12Cの全てに接続され、下端面が積層体の下面に表出している。その他は実施例1の積層セラミックコンデンサと同様に構成されている。

【0092】

本実施例では、チップ型電子部品12の外部端子電極12D、12Eであるビア導体が下端においてセラミック多層基板11表面の表面電極11C、11Cと一体的に焼結して強固に接続されている。従って、本実施例においても実施例1と同様の作用効果が得られた。つまり、チップ型電子部品12の外部端子電極12D、12Eが如何なる形態であっても、半田等の接合材料を介することなくセラミック多層基板11上面の表面電極11C、11Cとチップ型電子部品12の外部端子電極12D、12Eとを確実且つ強固に接続することができることが判った。

【0093】

尚、上記各実施例では、セラミック基板のセラミック材料として低温焼結セラミック材料を用いた場合について説明したが、セラミック材料としては低温焼結セラミック材料に制限されるものではなく、アルミナ、窒化アルミニウム、ムライト等のセラミック材料に焼結助材を加え、1050℃以上の高温で焼成する高温焼結セラミック材料を用いても良い。高温焼結セラミック材料を用いる場合には、電極材料として、例えばモリブデン、白金、パラジウム、タングステン、ニッケル及びこれらの金属を含む合金等を用いることができる。また、上記各実施例では複数のセラミック層を積層して形成されたセラミック多層基板を例に挙げて説明したが、セラミック層が単層のものであっても良い。

【0094】

要するに、本発明は上記各実施例に何等制限されるものではなく、チップ型電子部品の外部端子電極とセラミック基板の表面電極とを半田等の接合材料を用いることなく、焼結により外部端子電極と表面電極とを一体化したものであれば、本発明に包含される。

【産業上の利用可能性】

【0095】

本発明は、例えば種々の電子機器に用いられるチップ型電子部品を搭載したセラミック基板に好適に利用することができる。

【図面の簡単な説明】

【0096】

【図1】 (a)、(b)はそれぞれ本発明のチップ実装型基板の一実施形態の要部を

拡大して示す断面図で、(a) はその断面図、(b) は焼成前の同一部分を示す断面図である。

【図 2】 (a) ~ (e) はそれぞれ図 1 に示すチップ実装型基板の製造方法の一実施形態を工程順に示す工程図である。

【図 3】 (a) ~ (c) はそれぞれ図 2 に示す工程図の続きを示す工程図である。

【図 4】 本発明のチップ実装型基板の他の実施形態を示す断面図である。

【図 5】 本発明のチップ実装型基板の製造方法の他の実施形態を示す図で、図 3 の (a) に相当する図である。

【図 6】 (a) ~ (c) はそれぞれ本発明のチップ型電子部品を搭載したセラミック基板の製造方法の他の実施形態を工程順に示す工程図である。

【図 7】 (a)、(b) はそれぞれ本発明のチップ型電子部品を搭載したセラミック基板の製造方法の他の実施形態を工程順に示す工程図である。

【図 8】 本発明のチップ型電子部品を搭載したセラミック基板の製造方法の更に他の実施形態を工程の要部を示す工程図である。

【図 9】 (a)、(b) はそれぞれ本発明のチップ型電子部品を搭載したセラミック基板の製造方法の更に他の実施形態を工程の要部を示す工程図である。

【図 10】 (a)、(b) はそれぞれ本発明のチップ型電子部品を搭載したセラミック基板の製造方法の更に他の実施形態を工程の要部を示す工程図である。

【図 11】 (a)、(b) はそれぞれ本発明のチップ型電子部品を搭載したセラミック基板の製造方法の更に他の実施形態を工程の要部を示す工程図である。

【図 12】 本発明のチップ型電子部品を搭載したセラミック基板の更に他の実施形態の要部を示す断面図である。

【符号の説明】

【0097】

10、10A、10C、10D、10F、10G、10H、10I チップ実装型基板
(チップ型電子部品を搭載したセラミック基板)

11 セラミック多層基板

11B 配線パターン

11C 面内導体、表面電極

11D ビア導体

11E 拘束層

12 チップ型電子部品

12D、12E 外部端子電極 (端子電極)

111 未焼成のセラミック積層体

111A セラミックグリーンシート (セラミックグリーン体)

111C 表面電極部

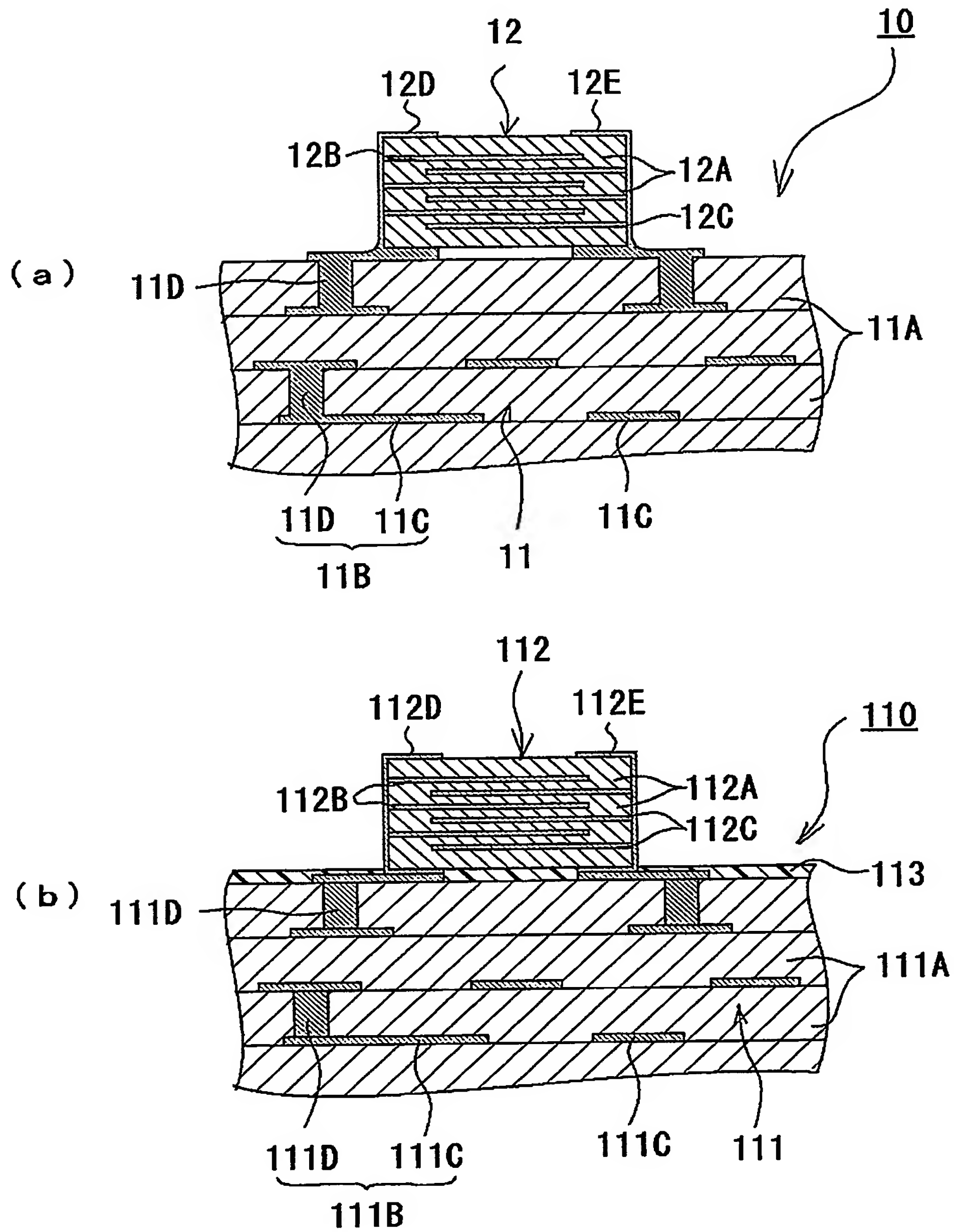
112 セラミック焼結体

112D、112E 外部端子電極部

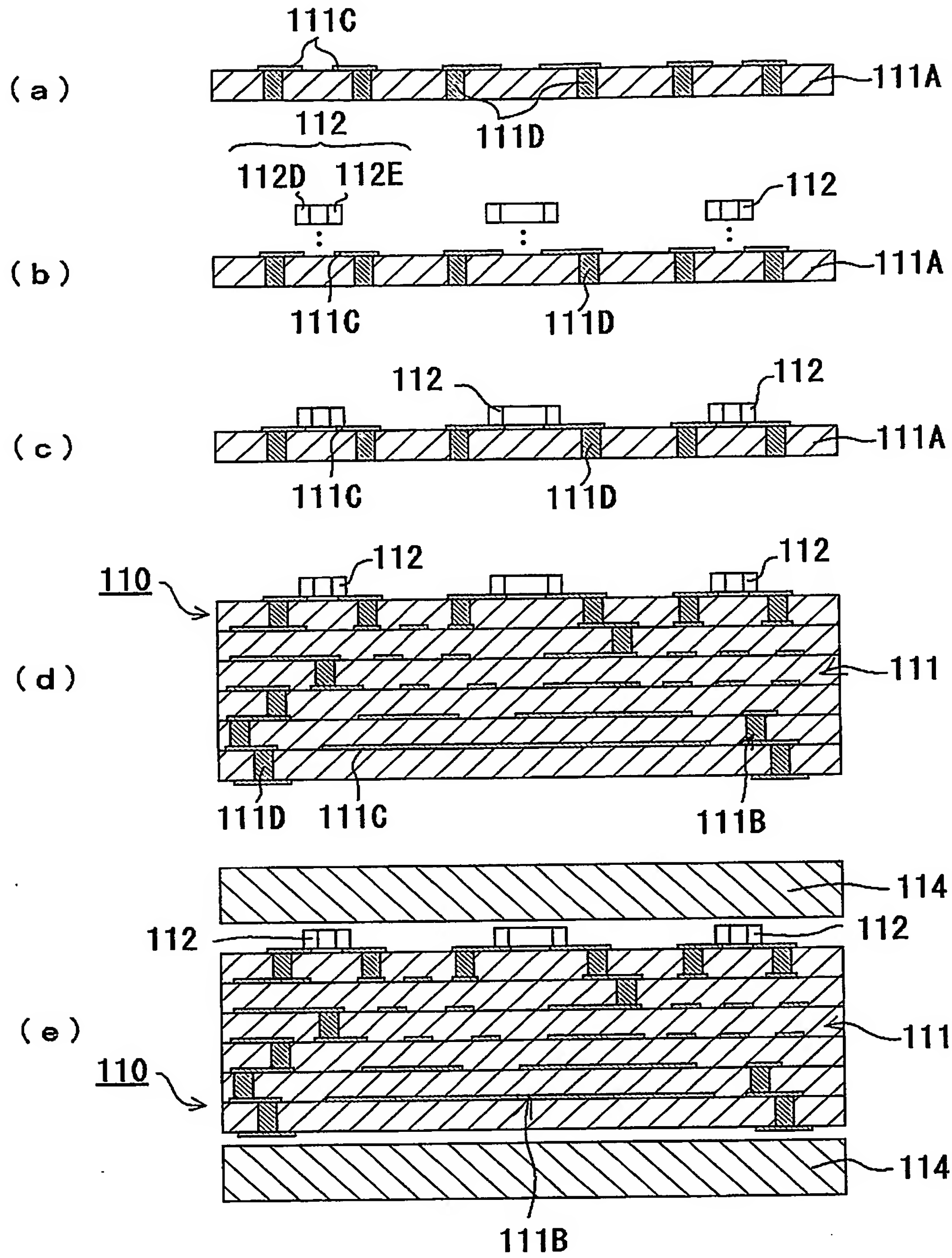
114、114B、114C 拘束層

114A 圧粉体 (拘束層)

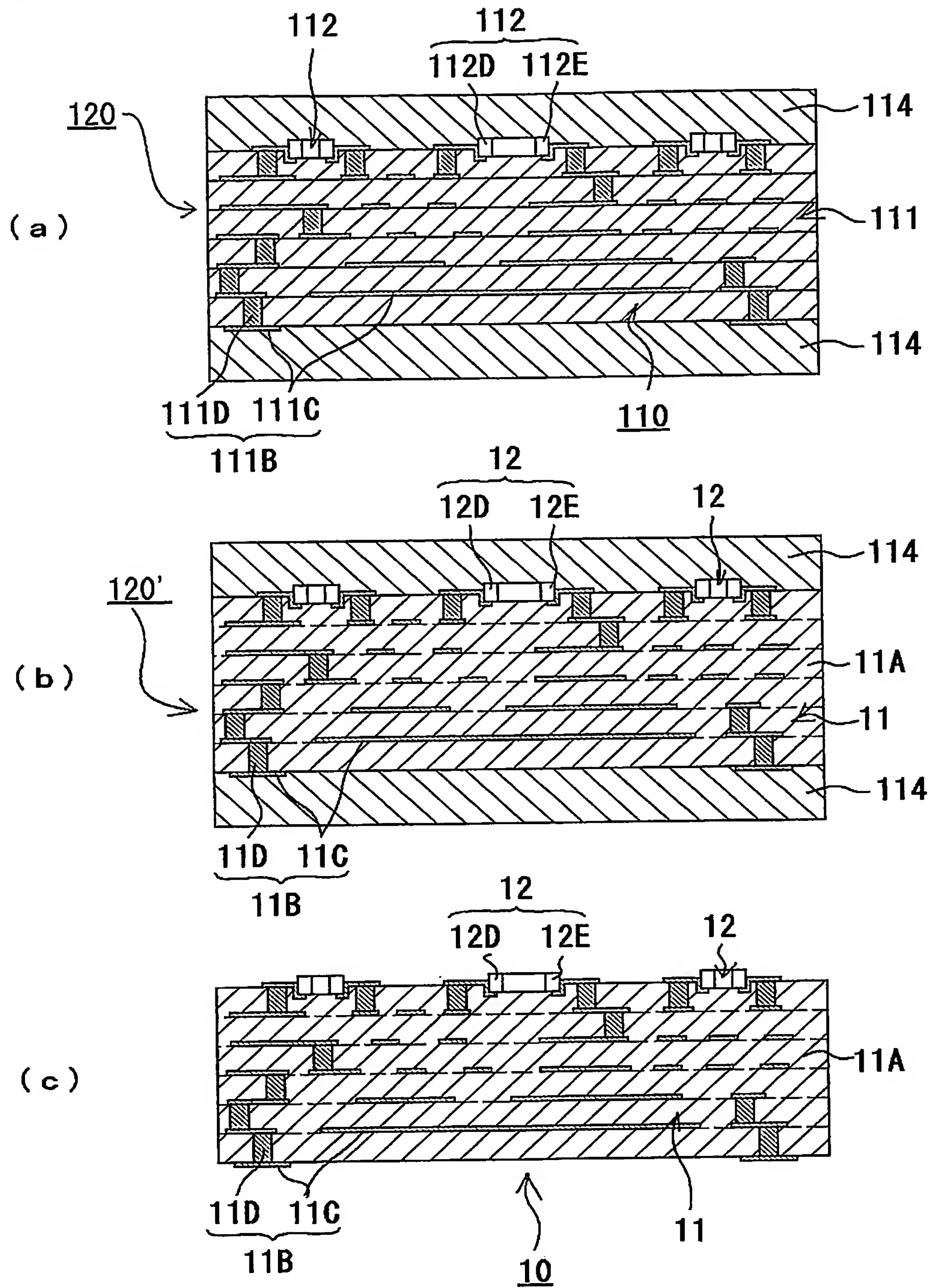
【書類名】 図面
【図 1】



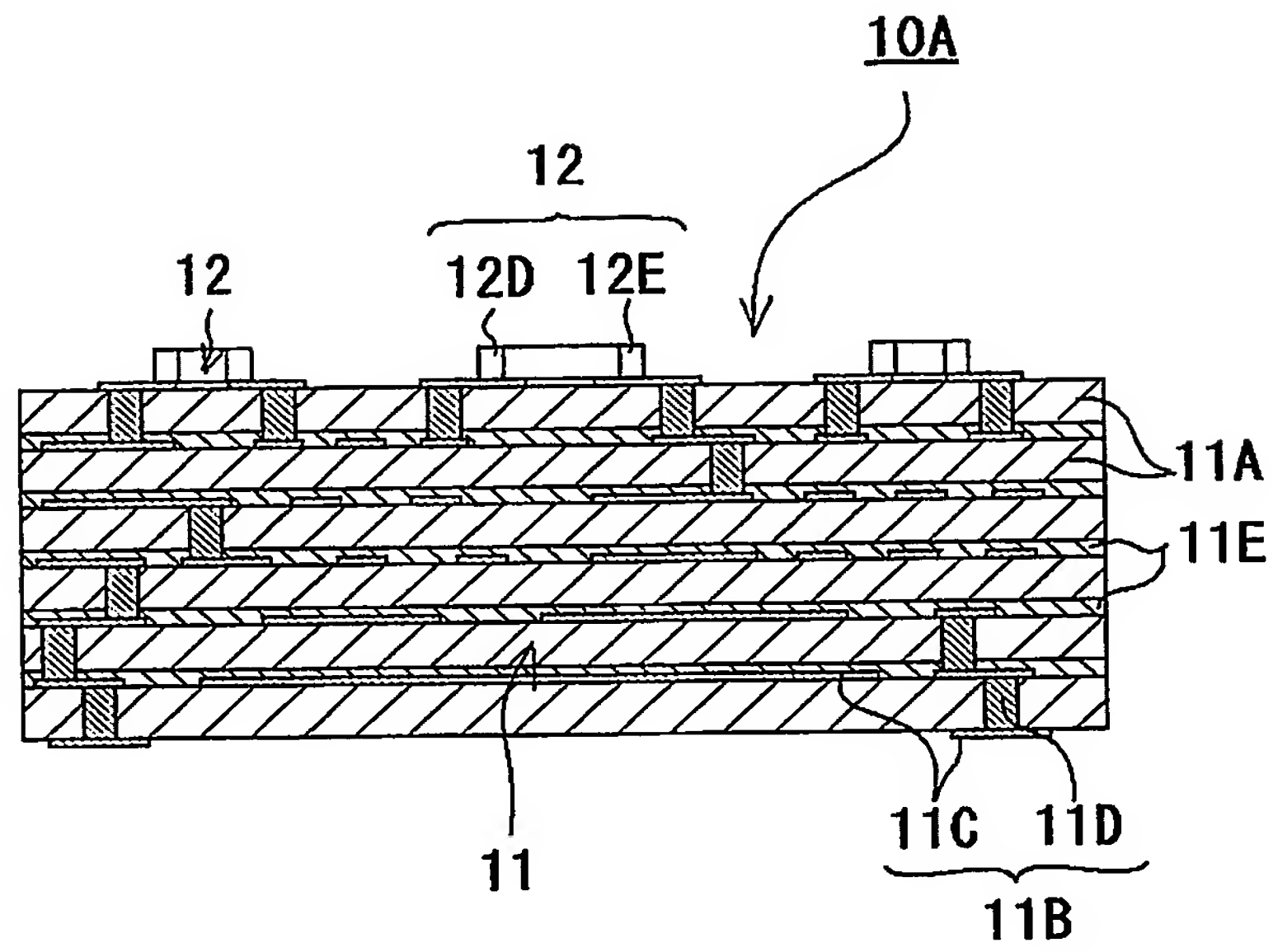
【図 2】



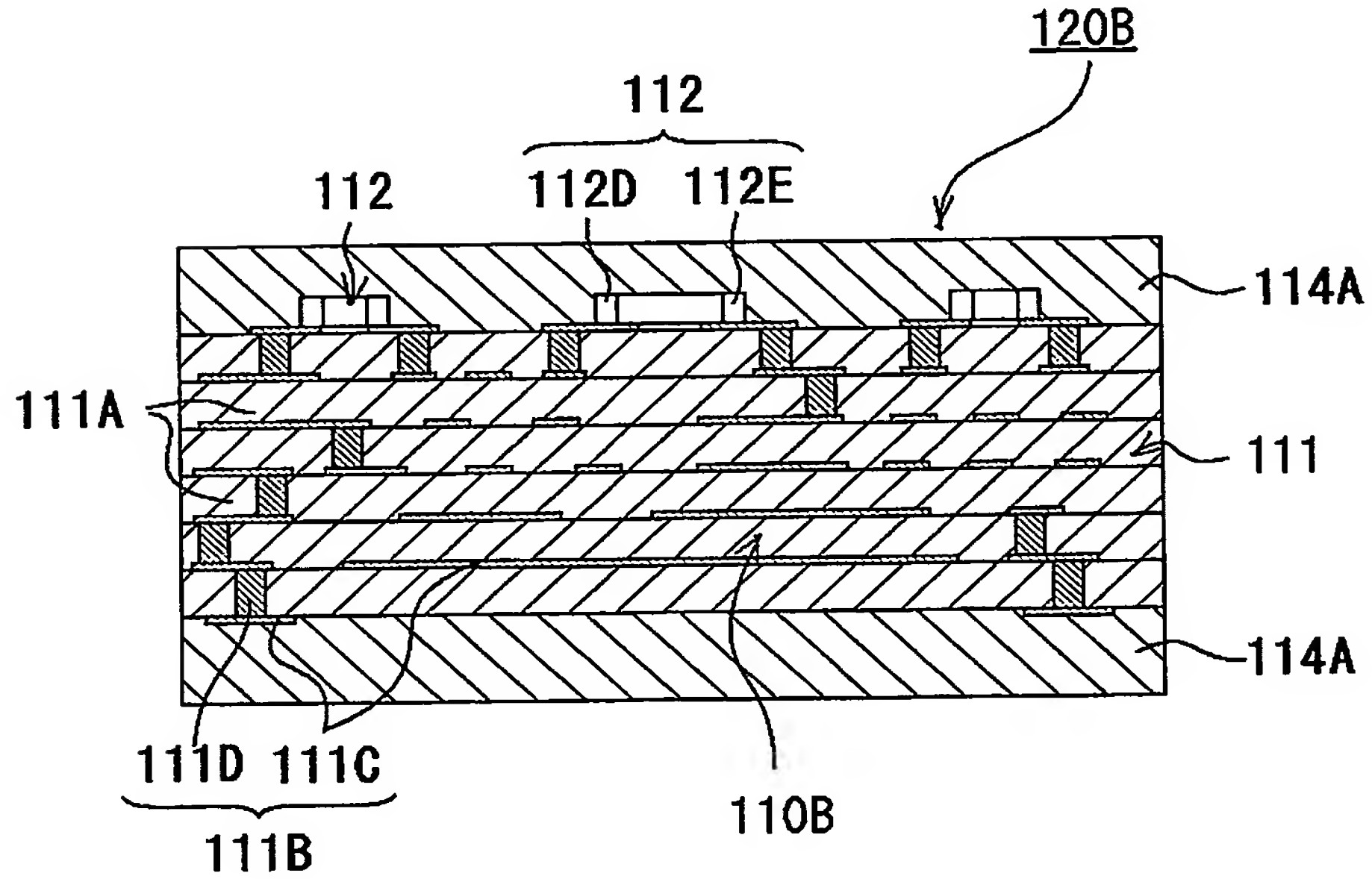
【図 3】



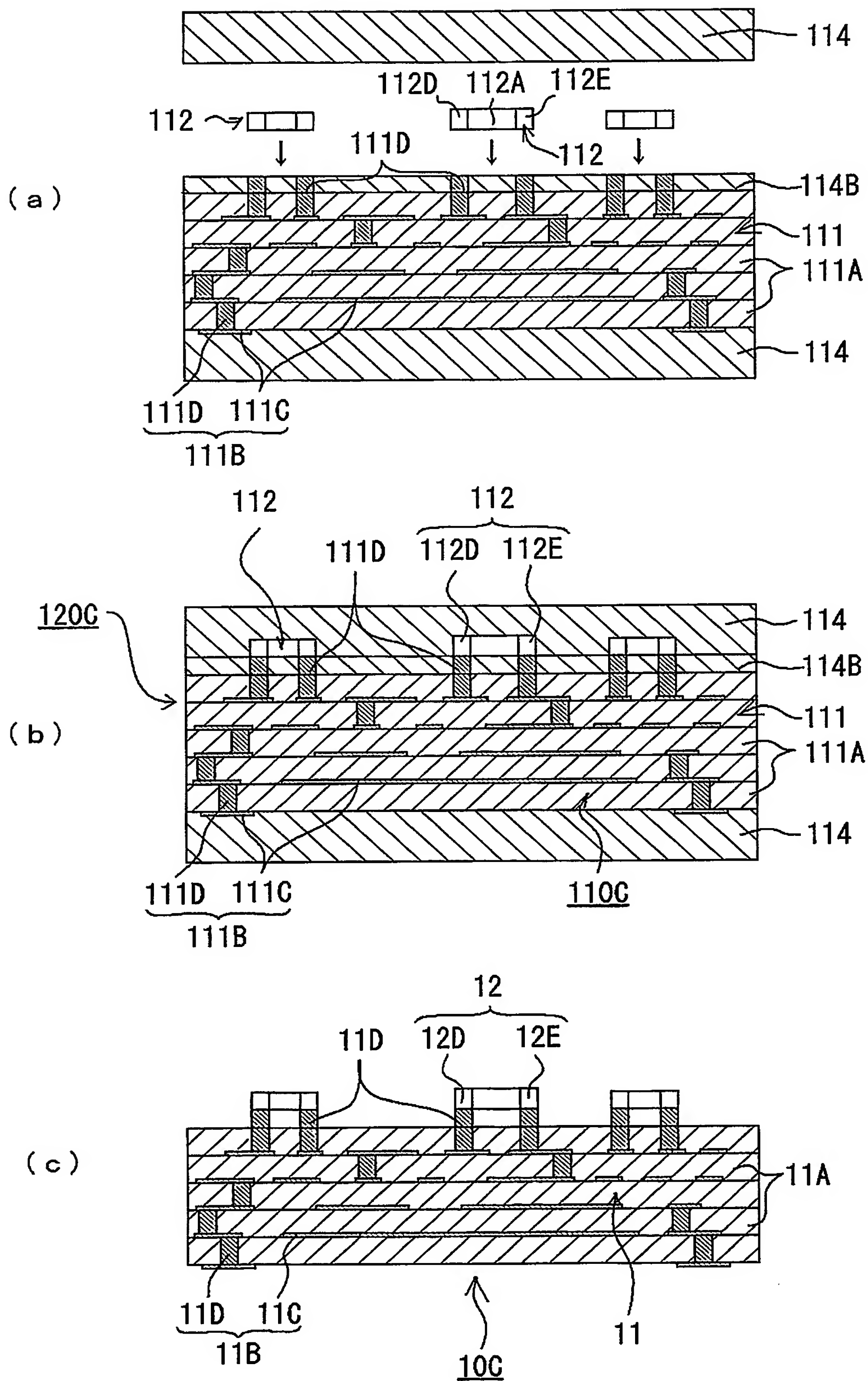
【図 4】



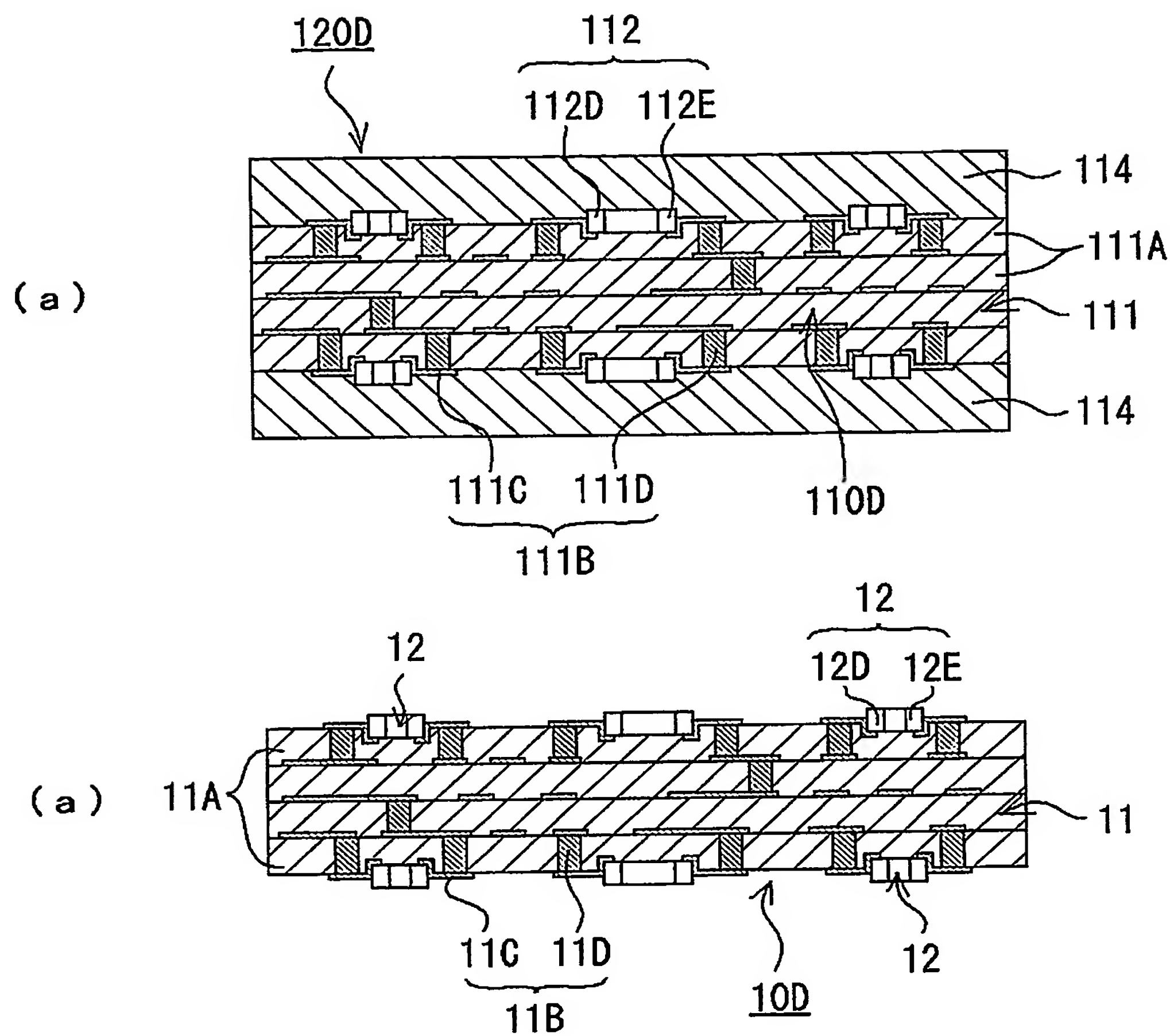
【図 5】



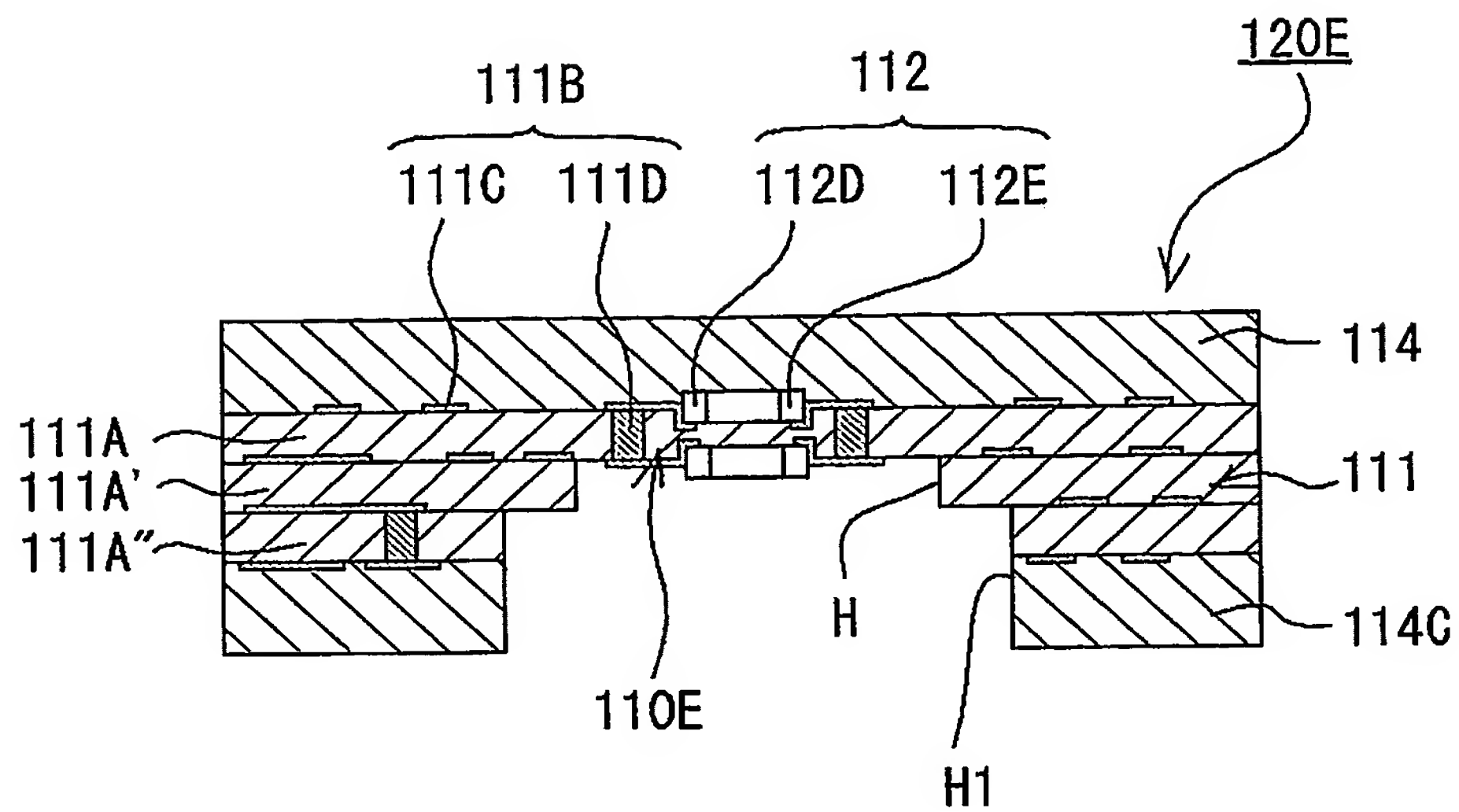
【図 6】



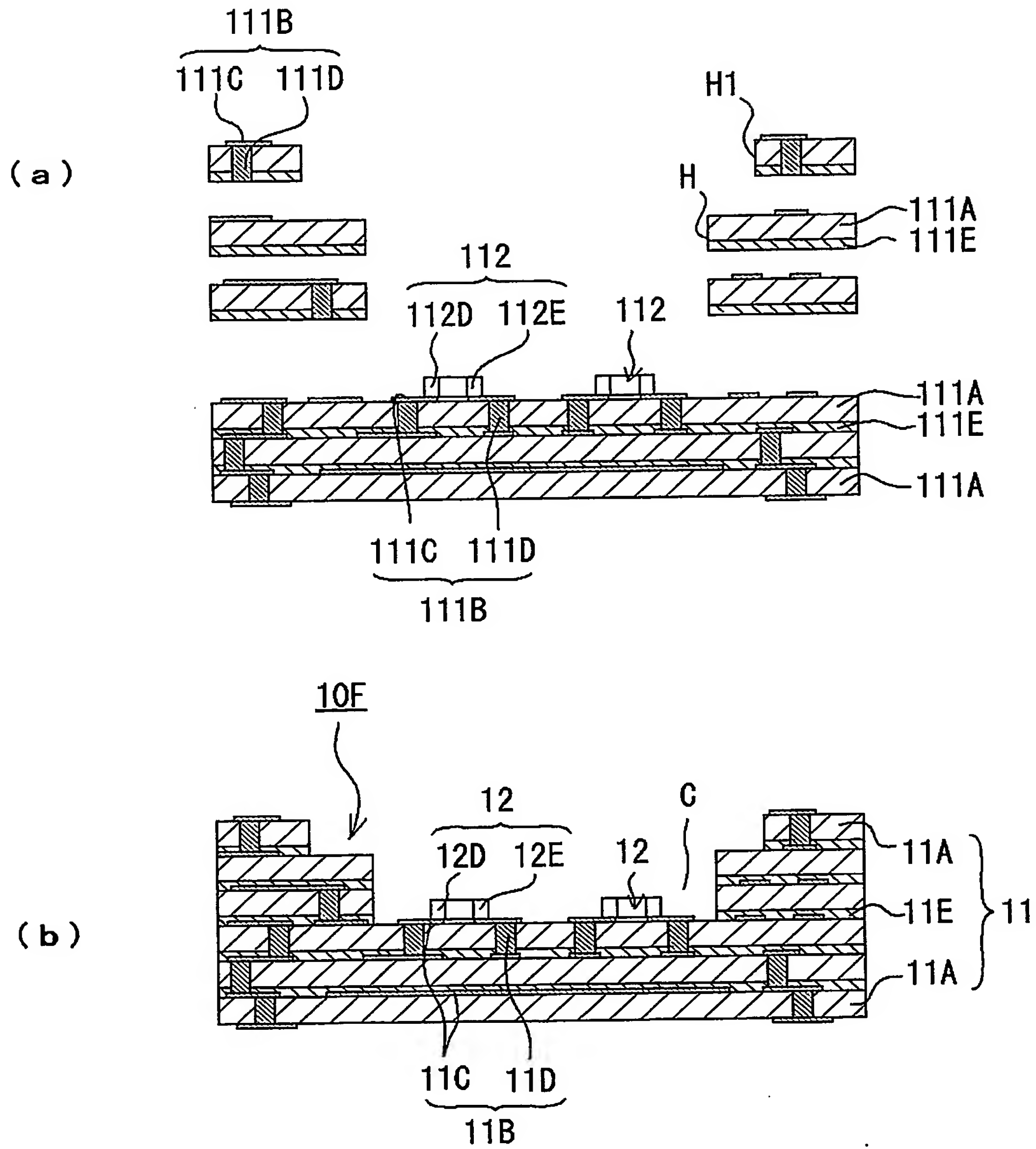
【図 7】



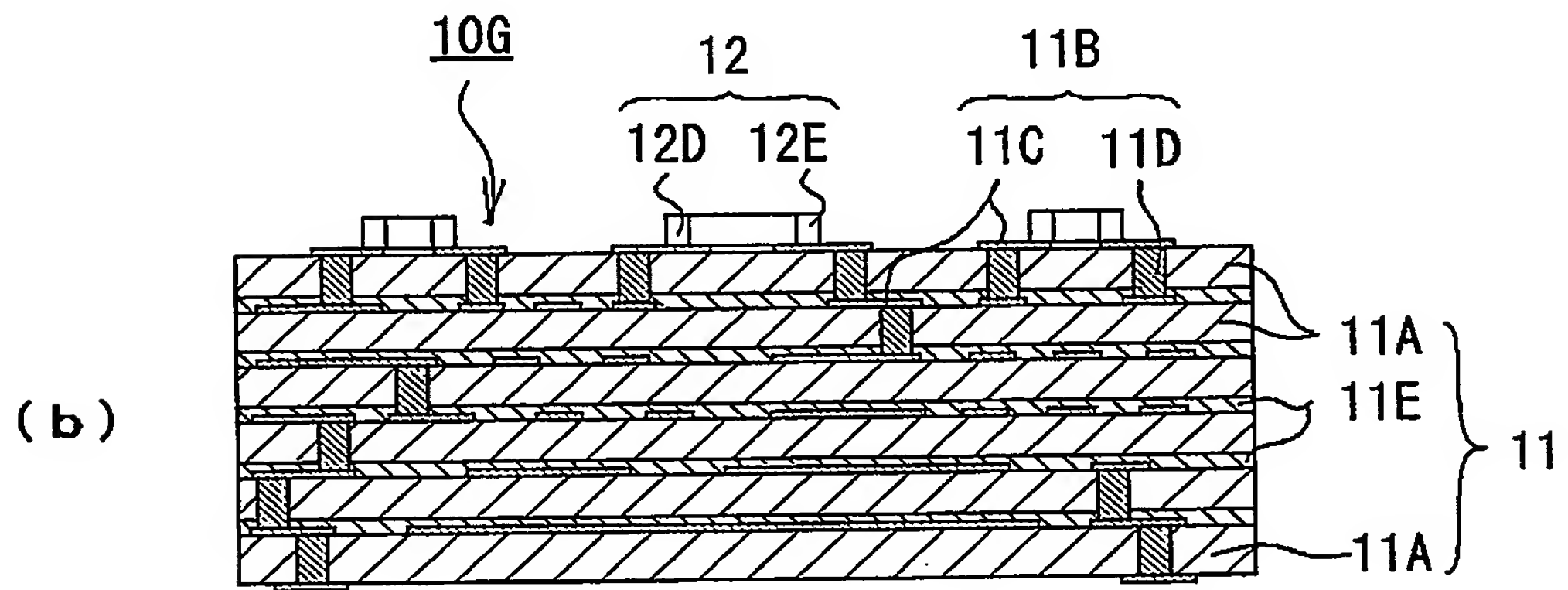
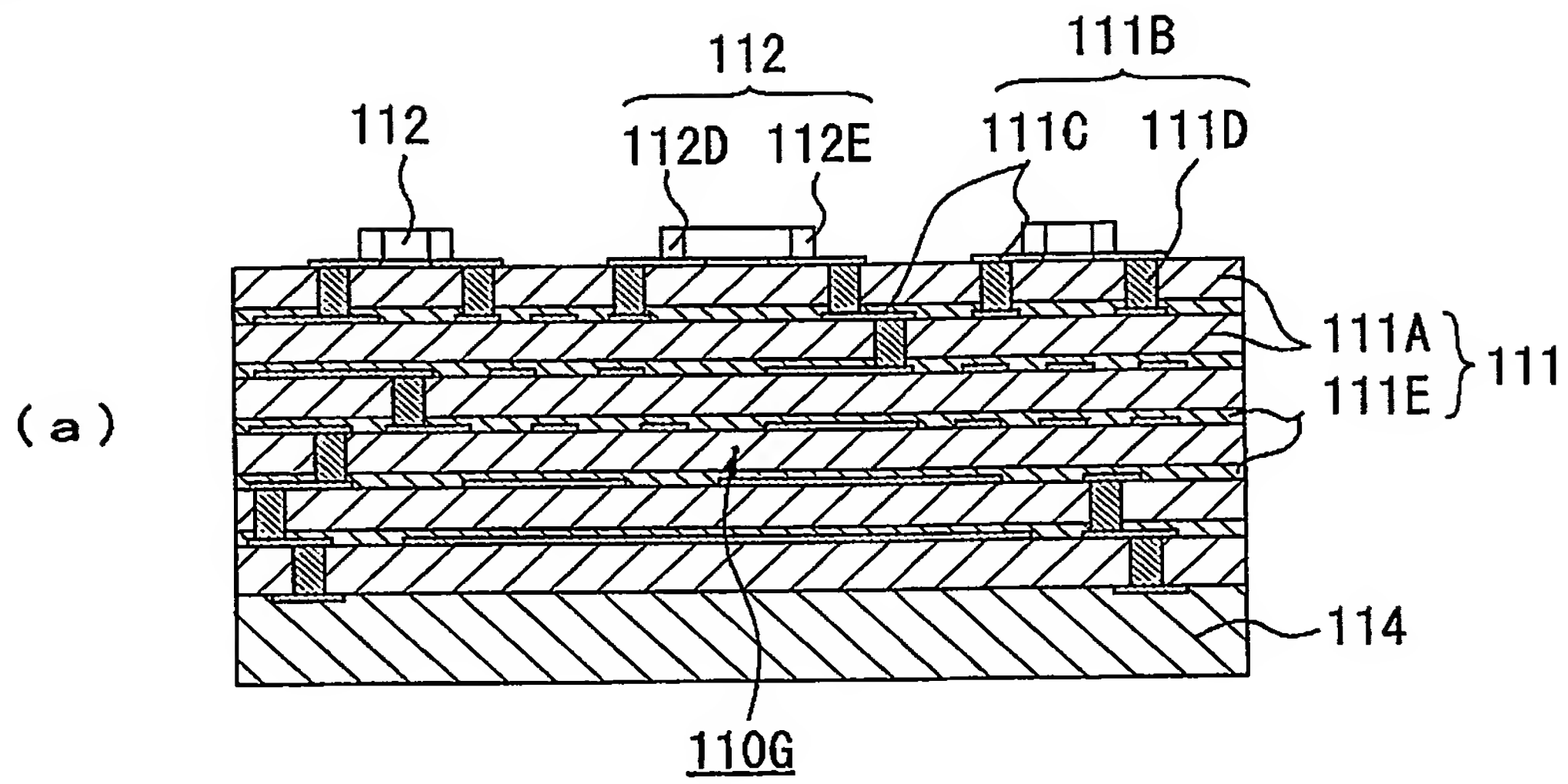
【図 8】



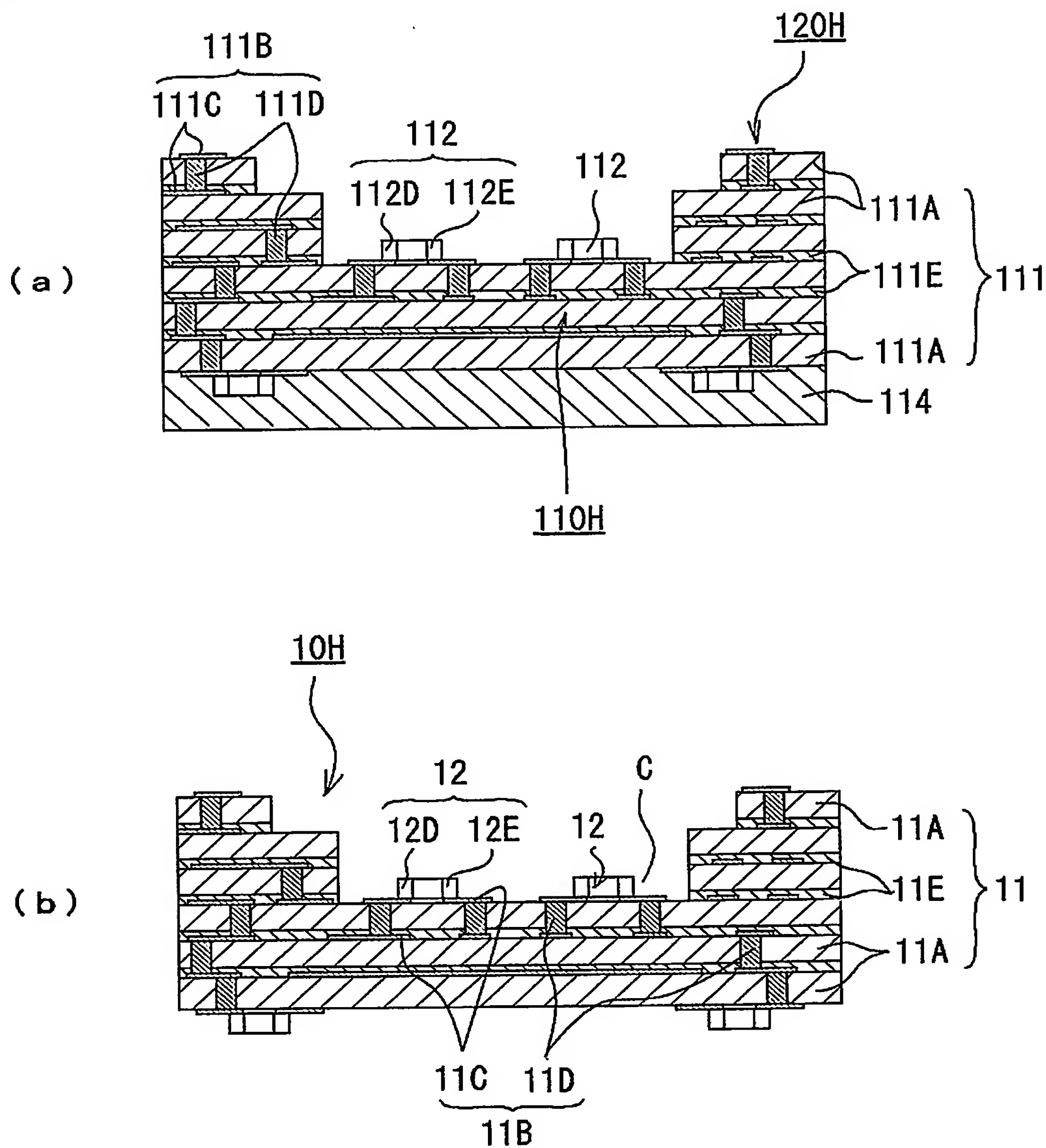
【図 9】



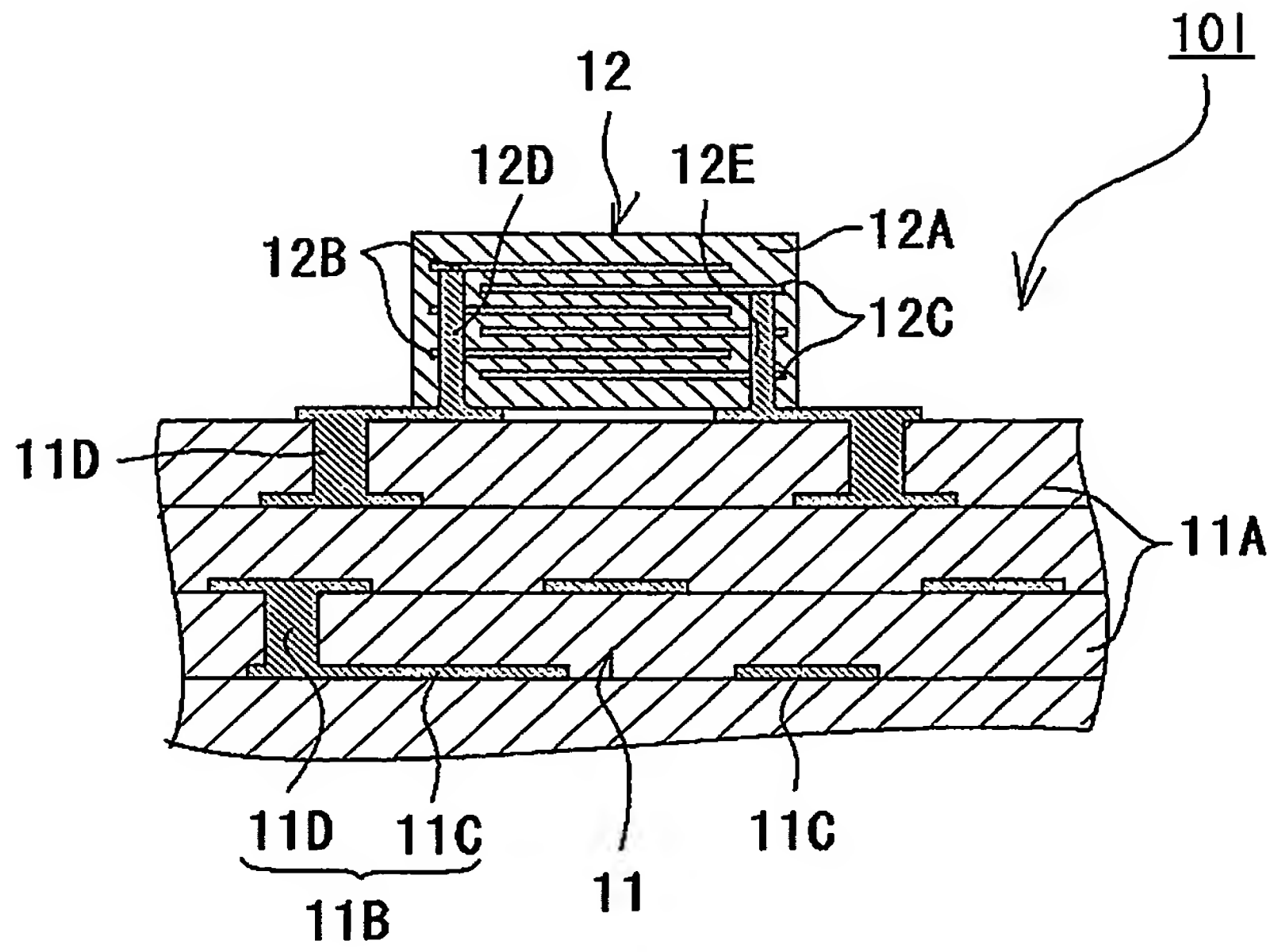
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】従来の電子部品の製造方法の場合には、セラミック基板上に電子部品を実装する際に半田を使用するため、電子部品を含めたセラミック基板の高さが半田の塗布量だけ高くなり、電子部品の低背化を進める上において好ましくない。また、電子部品をセラミック基板内に埋めこんで低背化を促進することも考えられるが、セラミック基板にキャビティを設ける必要があった。

【解決手段】本発明のチップ実装型基板10は、表面電極11Cを有するセラミック基板11上に、セラミック焼結体を素体とし且つ外部端子電極12D、12Eを有するチップ型電子部品12が搭載されており、セラミック基板11の表面電極11Cとチップ型電子部品12の外部端子電極12D、12Eとは、焼結により一体化している。

【選択図】 図1



認定・付加情報

特許出願の番号	特願 2 0 0 4 - 3 4 1 2 3 1
受付番号	5 0 4 0 2 0 1 1 9 3 1
書類名	特許願
担当官	第四担当上席 0 0 9 3
作成日	平成 1 6 年 1 1 月 3 0 日

< 認定情報・付加情報 >
【提出日】 平成16年11月25日

特願 2 0 0 4 - 3 4 1 2 3 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 2 3 1]

1. 変更年月日

2 0 0 4 年 1 0 月 1 2 日

[変更理由]

住所変更

住 所

京都府長岡京市東神足 1 丁目 1 0 番 1 号

氏 名

株式会社村田製作所

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/009576

International filing date: 25 May 2005 (25.05.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-341231
Filing date: 25 November 2004 (25.11.2004)

Date of receipt at the International Bureau: 14 July 2005 (14.07.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.